



MD 1995 G2 2002.08.31

REPUBLICA MOLDOVA



(19) Agenția de Stat  
pentru Protecția Proprietății Industriale

(11) 1995 (13) G2  
(51) Int. Cl.<sup>7</sup>: G 11 C 29/00

(12) BREVET DE INVENȚIE

(21) Nr. depozit: a 2000 0129 (22) Data depozit: 2000.07.25	(45) Data publicării hotărârii de acordare a brevetului: 2002.08.31, BOPI nr. 8/2002
(71) Solicitant: BODEAN Ghenadie, MD (72) Inventator: BODEAN Ghenadie, MD (73) Titular: BODEAN Ghenadie, MD	

(54) Memorie operativă cu autotestare

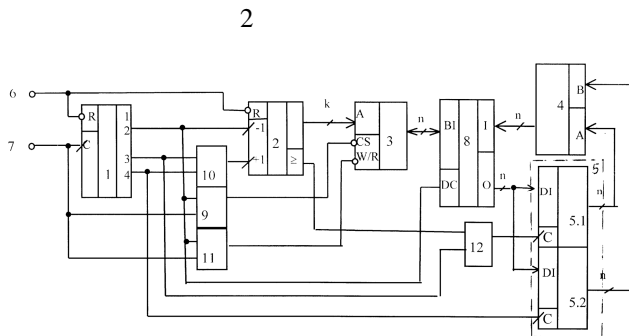
(57) Rezumat:

Invenția se referă la tehnica de calcul și microelectronică și poate fi aplicată la producerea și exploatarea circuitelor supraintegrate dotate cu mijloace compacte de testare și diagnosticare.

Dispozitivul cu intrare de resetare 6 și de tact 7 conține registrul de sincronizare 1, contor 2, memorie operativă 3, sumator modulo q 4, grup de registre 5, comutator 8, poartă logică ȘI 9, trei porți logice SAU 10, 11, 12.

Revendicări: 1

Figuri: 3



MD 1995 G2 2002.08.30

**Descriere:**

Invenția se referă la tehnica de calcul și microelectronică și poate fi aplicată la producerea și exploatarea circuitelor supraintegrate dotate cu mijloace compacte de testare și diagnosticare.

5 Este cunoscut dispozitivul de memorie cu autotestare care conține contor de adrese, memorie (testată), două registre - unul de date și altul de ieșire, doi bistabili - primul și al doilea, o intrare de sincronizare, o intrare de resetare, intrări și ieșiri informaționale [1].

Dezavantajul metodei constă în complexitatea testării prin durata de timp îndelungată și rezoluția mică față de defectările de interacțiune (interinfluență) a celulelor de memorie.

10 Este cunoscută metoda de testare, numită autotestare pseudoinelară a dispozitivelor de memorie operativă cu celule logice unipoziționale care constă în aceea că numărul semnalelor de test se alege egal cu cel al stărilor stabile diferite ale unei celule de memorie, la începutul iterației de test primul și al doilea semnale de test se înscriu corespunzător în primele două celule ale dispozitivului de capacitatea  $m$  ( $m$  - numărul de celule), apoi se repetă de  $m-2$  ori următoarele operații: se citește și se adună modulo doi conținutul celulelor, în care se păstrează semnalele curente de test, apoi al doilea semnal de test este interpretat în calitate de  
15 primul semnal de test, iar rezultatul adunării modulo doi este interpretat în calitate de al doilea semnal de test, se înscrie al doilea semnal de test în următoarea celulă a dispozitivului de memorie operativă; se compară combinația rezultată de semnale de test cu cea de control și în cazul coincidenței se efectuează iterațiile de test cu alte combinații inițiale nenule ale valorilor semnalelor de test până la prima necoincidență a combinației rezultate cu cea de control și în acest caz se decide că dispozitivul de memorie operativă este defectat [2].  
20

Dezavantajul acestei metode (și a dispozitivului respectiv) constă în aceea că nu se asigură testarea dispozitivelor de memorie operativă, inclusiv a circuitelor de memorie, cu celule logice multipoziționale, adică cu binaritatea cuvântului  $n > 1$ .

25 Cea mai apropiată soluție după esență și rezultatul obținut este dispozitivul de autotestare a memoriei operative care conține un registru de sincronizare, intrarea de sincronizare a căruia este intrarea de sincronizare a dispozitivului, un grup din trei contoare, intrările de resetare ale cărora sunt conectate cu intrarea de resetare a registrului de sincronizare și la intrarea de resetare a dispozitivului, memoria operativă (RAM-ul), un grup de bistabili, un sumator (element logic de sumare) modulo  $q$ ,  $q=2$  (- sau exclusiv), ieșirea căruia este conectată la intrarea de date a memoriei, o intrare este conectată la ieșirea bistabilului doi, iar  
30 cealaltă intrare - la ieșirea primului bistabil, intrarea de date a căruia este conectată la intrarea de date a bistabilului doi și la ieșirea de date a memoriei, intrările de adrese ale căreia sunt conectate respectiv la ieșirile informaționale ale contoarelor, intrarea de citire-inscriere - la intrarea de permitere a contorului trei și la ieșirea a patra a registrului, ieșirea a treia a căruia este conectată la intrarea de permitere a contorului doi și la intrarea de sincronizare (tact) a bistabilului doi, ieșirea a doua - la intrarea de permitere a primului contor și la intrarea de tact a primului bistabil, prima ieșire - la intrările de tact ale contoarelor [3].  
35

Dezavantajul dispozitivului constă în aceea că nu permite testarea memoriei operative, inclusiv a microcircuitelor de memorie, cu celule de binaritatea  $n$  mai mare ca 1, adică cu celule multipoziționale.

Problema pe care o rezolvă invenția constă în extinderea performanțelor funcționale ale dispozitivului.

40 Esența invenției constă în aceea că în memoria operativă cu autotestare, ce conține un registru de sincronizare, a cărui intrare de tact este conectată la intrarea de tact a dispozitivului, un contor cu intrarea de resetare conectată la intrarea de resetare a registrului de sincronizare și la intrarea de resetare a dispozitivului, intrarea de decrement - la ieșirea a doua a registrului de sincronizare, iar ieșirile informaționale ale contorului sunt unite cu intrările de adrese ale memoriei operative, un sumator modulo  $q$ , suplimentar sunt incluse un grup din două registre, ieșirile primului registru fiind conectate respectiv la primul grup de intrări ale  
45 sumatorului, ieșirile registrului doi fiind conectate respectiv la grupul doi de intrări ale sumatorului, un comutator, ieșirile-intrările bidirecționale ale căruia sunt conectate respectiv la ieșirile-intrările bidirecționale de date ale memoriei, intrările - respectiv la ieșirile sumatorului modulo  $q$ , ieșirile - respectiv la intrările de date ale registrelor grupului, o poartă logică ȘI, ieșirea căreia este conectată la intrarea de selectare a memoriei, prima poartă logică SAU, ieșirea căreia este conectată la intrarea de increment a contorului,  
50 intrarea a doua - la intrarea de tact a registrului doi din grup și la ieșirea a patra a registrului de sincronizare, a doua poartă logică SAU, ieșirea căreia este conectată la intrarea de citire-inregistrare a memoriei, prima intrare - la prima intrare a porții ȘI și la intrarea de tact a dispozitivului, iar a doua intrare - la intrarea a doua a porții ȘI, la intrarea de comutare a comutatorului și la ieșirea a doua a registrului de sincronizare, a treia poartă logică SAU, o intrare a căreia este conectată la ieșirea de report a contorului, cealaltă intrare - la prima  
55 intrare a primei porții SAU și la ieșirea a treia a registrului de sincronizare, iar ieșirea - la intrarea de tact a primului registru din grup.

Rezultatul care poate fi obținut prin realizarea invenției constă în autotestarea dispozitivului de memorie operativă cu rezoluția absolută de 100% pentru defectările constante ale celulelor matricei de memorie.

## MD 1995 G2 2002.08.31

4

Totodată, acest rezultat se obține datorită faptului că procedeul (algoritmul) de autotestare se efectuează în trei iterații de testare, iar precum a fost demonstrat în Analiza generală a rezoluției testării pseudoinelare RAM. [Acta Academia, 1999, p. 169], la început se vor detecta  $q^2/(q^2+q+1)$  defectări, apoi  $q/(q^2+q+1)$  defectări și, în sfârșit,  $1/(q^2+q+1)$  defectări din defectările rămase,  $q=2^n$  prezintă caracteristica câmpului Galois (extins). Astfel suma totală de defectări va fi egală cu 1, adică 100%.

În fig. 1 este prezentată schema structurală a dispozitivului propus; în fig. 2 - circuitul electric al registrului de sincronizare; în fig. 3 - diagramele de timp de funcționare a dispozitivului.

Dispozitivul propus este compus din registrul de sincronizare 1, contorul 2, memoria operativă 3, sumatorul modulo  $q$  4, un grup de registre 5, intrările de resetare 6 și de tact 7, comutatorul 8, o poartă logică ȘI 9, trei porți logice SAU 10, 11, 12 (fig. 1).

Intrarea de tact 7 este unită cu intrarea de tact a registrului de sincronizare 1 și cu primele intrări ale porților ȘI 9 și SAU 11, intrarea de resetare 6 comunică cu intrările de resetare ale registrului de sincronizare 1 și contorului 2, intrarea de decrement a căruia este cuplată cu ieșirea a doua a registrului de sincronizare 1, cu intrările doi ale porților ȘI 9, SAU 11 și cu intrarea de comutare a comutatorului 8, intrarea de increment - cu ieșirea porții SAU 10, ieșirea de report - cu prima intrare a porții SAU 12, iar ieșirile informaționale - respectiv cu intrările de adrese ale memoriei 3, intrarea de selectare a căreia este conectată la ieșirea porții ȘI 9, intrarea de citire-inregistrare - la ieșirea porții SAU 11, iar ieșirile-intrările bidireționale de date - respectiv la ieșirile-intrările bidireționale ale comutatorului 8, ieșirile căruia sunt unite respectiv cu intrările de date ale registrelor 5, iar intrările - respectiv cu ieșirile sumatorului modulo  $q$  4, primul grup de intrări al căruia comunică respectiv cu ieșirile primului registru 5.1, iar al doilea grup de intrări - respectiv cu ieșirile registrului doi 5.2, intrarea de tact a căruia este conectată la intrarea a doua a porții SAU 10 și la ieșirea a patra a registrului 1, ieșirea a treia a căruia este conectată la prima intrare a porții SAU 10 și la intrarea a doua a porții SAU 12, ieșirea căreia este unită la intrarea de tact a registrului 5.1.

Registrul de sincronizare 1 poate fi realizat, de exemplu, conform circuitului din fig. 2, conținând patru bistabili 1.1, 1.2, 1.3 și 1.4, ieșirile cărora sunt ieșirile registrului 1, totodată ieșirea bistabilului 1.4 este conectată la intrarea de date a bistabilului 1.1, ieșirea căruia este conectată la intrarea de date a bistabilului 1.2, ieșirea căruia comunică cu intrarea de date a bistabilului 1.3, ieșirea căruia este cuplată cu intrarea de date a bistabilului 1.4, intrarea de tact a căruia este unită cu intrările de tact ale bistabililor 1.1, 1.2, 1.3 și cu intrarea de tact a registrului 1, iar intrarea de resetare - cu intrările de setare ale bistabililor 1.2, 1.3, intrarea de resetare a bistabilului 1.1 și cu intrarea de resetare a registrului 1.

În calitate de bistabili pot fi folosiți bistabilii RS din microcircuitul K155 TM2 [Шило В.Л. Популярные микросхемы ТТЛ. М, Аргус, 1993]. Intrările R și S, neimplicate în funcționarea dispozitivului, se vor conecta (pentru certitudine) printr-o rezistență de 1 kΩ la sursa logic '1'.

Contorul 2 este un dispozitiv cunoscut și poate fi construit pe baza microcircuitelor K155IE7 [Шило В.Л. Популярные микросхемы ТТЛ. М, Аргус, 1993], asigurând generarea valorilor din intervalul  $\{0,1, \dots, m-1\}$ ; ieșirea de report TC<sub>U</sub> a microcircuitului respectiv, care este conectată la ieșirea de report a contorului 2, este inversată prin intermediul unei porți NU din componența microcircuitului K155JH1 [Шило В.Л. Популярные микросхемы ТТЛ. М, Аргус, 1993].

Memoria operativă 3 cu binaritatea cuvintelor de  $n$  biți ( $n>1$  și  $q=2^n$ ) este unitatea care se testează și reprezintă un microcircuit de memorie operativă (statică) cunoscut, de exemplu, microcircuitul K537PY13 [Микросхемы памяти. ЦАП и АЦП: справочник. 2-е изд., стереотип. О.Н. Лебедев, А-Й.К. Марцинкявичус, Э-А.К. Богданскис и др., М, КУБК-а, 1996].

În calitate de registre din grupul 5 pot fi folosiți, de exemplu, registre din microcircuitul K155IP11 [Шило В.Л. Популярные микросхемы ТТЛ. М, Аргус, 1993], la care intrarea de resetare și intrările S0 și S1 sunt conectate la logic '1' (printr-o rezistență de 1 kΩ).

Sumatorul modulo  $q$  4 este un dispozitiv specializat, care pentru cele două cuvinte de intrare de binaritatea  $n$  (fiecare) prezintă corespunzător un cuvânt de binaritatea  $n$ . Sumatorul 4 poate fi construit pe baza microcircuitului de memorie programată, de exemplu, de tipul PROM - K541 PT1 de capacitatea 256 x 4 [Микросхемы памяти. ЦАП и АЦП: справочник. 2-е изд., стереотип. О.Н. Лебедев, А-Й.К. Марцинкявичус, Э-А.К. Богданскис и др., М, КУБК-а, 1996]. Microcircuitul de memorie este programat astfel încât să realizeze tabelul de adunare modulo polinomul  $q(Z)$  în câmpul Galois extins  $GF(2^n)$  a termenilor polinomului generator  $\varphi(X)$ ,  $q(Z)$  - polinom ireductibil de gradul  $n$ , adică  $\deg q(Z)=n$  și coeficienții în câmpul  $GF(2)$ . Polinomul  $\varphi(X)$ , conform metodei de testare [2], este un polinom ireductibil primitiv de structura  $\varphi(X)=1+ax+bx^2$ , unde  $a, b \in \{0,1, \dots, 2^n-1\}$  constituie reprezentări ale polinoamelor de gradul  $n$  în câmpul  $GF(2)$ ,  $n$  - binaritatea celulelor matricei de memorie.

Pentru structura impusă a polinomului  $\varphi(X)$  în câmpul  $GF(2^4)$  poate fi ales, de exemplu, următorul polinom ireductibil:  $\varphi(X)=1+x+9x^2$  cu polinomul minimal  $q(Z)=1+z+z^4$ . Tabelul de adunare  $x+9x^2$  (*mod*  $1+z+z^4$ ), va fi:

60

# MD 1995 G2 2002.08.31

Tabelul 1

$\begin{matrix} x \\ x^2 \cdot 9 \end{matrix}$	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0*9=0	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
1*9=9	9	8	11	10	13	12	15	14	1	0	3	2	5	4	7	6
2*9=1	1	0	3	2	5	4	7	6	9	8	11	10	13	12	15	14
3*9=8	8	9	10	11	12	13	14	15	0	1	2	3	4	5	6	7
4*9=2	2	3	0	1	6	7	4	5	10	11	8	9	14	15	12	13
5*9=11	11	10	9	8	15	14	13	12	3	2	1	0	7	6	5	4
6*9=3	3	2	1	0	7	6	5	4	11	10	9	8	15	14	13	12
7*9=10	10	11	8	9	14	15	12	13	2	3	0	1	6	7	4	5
8*9=4	4	5	6	7	0	1	2	3	12	13	14	15	8	9	10	11
9*9=13	13	12	15	14	9	8	11	10	5	4	7	6	1	0	3	2
10*9=5	5	4	7	6	1	0	3	2	13	12	15	14	9	8	11	10
11*9=12	12	13	14	15	8	9	10	11	4	5	6	7	0	1	2	3
12*9=6	6	7	4	5	2	3	0	1	14	15	12	13	10	11	8	9
13*9=15	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
14*9=7	7	6	5	4	3	2	1	0	15	14	13	12	11	10	9	8
15*9=14	14	15	12	13	10	11	8	9	6	7	4	5	2	3	0	1

5 In acest caz în calitate de prim grup de adrese al sumatorului 4 pot fi selectate, de exemplu, intrările de adresare  $A_0...A_3$  ale microcircuitului K541PT1, iar în calitate de al doilea grup de adrese - intrările  $A_4...A_7$  ale aceluiași microcircuit. Primul grup de adrese va indica (semnifica) numărul coloanei, iar al doilea grup de adrese - numărul rândului tabelului analizat. La etapa pregătitoare, pentru grupurile de adrese indicate selectând succesiv valorile adreselor - de la 0 la 15, în celulele respective ale memoriei programate K541PT1 se vor înscrie mărimile corespunzătoare din tab. 1.

10 Ca rezultat al adunării mărimilor de intrare, de exemplu, 12, care vine de la registrul 5.2 - poziția  $x$  a registrului virtual, și 14, care vine de la registrul 5.1 - poziția  $x^2$  a registrului virtual, la ieșirea sumatorului 4, conform tabelului, va apărea mărimea 11 (vezi coloana 12 și rândul 14 ale tab. 1). Acestei mărimi îi corespunde combinația din patru biți 1011<sub>2</sub>.

15 În calitate de comutator 8 poate fi folosit, de exemplu, microcircuitul K589АП16 [Микропроцессоры и микропроцессорные комплекты интегральных микросхем: справочник в 2 т /В. Б.Б. Абрайтис, Н.Н. Аверьянов, А.И.Белюсов, под ред. В.А.Шахнова, М, Радио и связь, 1988. Т1], intrarea de selectare (CS) a căruia este conectată la logic 0.

20 În calitate de poartă ȘI 9 poate fi folosită poarta ȘI din componența microcircuitului K155ЛЛ1 [Шило В.Л. Популярные микросхемы ТТЛ. М, Аргус, 1993]; iar ca porți SAU 10, 11 și 12 - porțile SAU din microcircuitul K155ЛЛ1 [Шило В.Л. Популярные микросхемы ТТЛ. М, Аргус, 1993].

20 Registrul de sincronizare 1 este destinat deplasării ciclice a zeroului pe fonul unităților (adică a combinației binare 0111<sub>2</sub>). Contorul 2 este destinat generării adreselor celulelor de memorie pentru efectuarea operațiilor de citire și înregistrare. Registrele din grupul 5 sunt destinate stocării (păstrării) valorilor curente ale semnalelor de test (stărilor celulelor de memorie) "de caracteristica 2".

25 Dispozitivul funcționează în modul următor.

25 La conectarea sursei de alimentare stările registrelor, contorului și a celulelor de memorie pot fi arbitrare.

25 Stările inițiale ale registrelor 5 se înscriu folosind, de exemplu, intrarea de înscriere în serie și aplicând semnale de comandă necesare. De exemplu, pentru caracteristica  $q=2^4=16$  valorilor  $0_{16}$  și  $1_{16}$  le vor corespunde secvențele binare de lungimea  $n=4$ , respectiv, 0000<sub>2</sub> și 0001<sub>2</sub>. (În registrele 5 aceste secvențe se înscriu de la stanga la dreapta).

30 Combinațiile de stări inițiale, care trebuie să fie înscrise în registrele 5, în conformitate cu metoda de testare [2], trebuie să asigure combinațiile de semnale de testare inițiale ale registrului virtual al structurii LFSR. Aceste combinații pentru fiecare iterație de testare sunt 00, 01 și 10 (în sistemul pozițional de calcul cu baza  $q$ ).

35 În momentul inițial de timp pozițiile registrului virtual, ce corespund termenilor  $x^1$  și  $x^2$  ai polinomului  $\varphi(X)$ , sunt respectiv prima celulă a memoriei 3 (în cazul analizat ea se află pe adresa 0) și primul registru 5.1. Starea inițială a primei celule de memorie este înscrisă în rezultatul sumei modulo polinomul  $q(Z)$  asupra conținuturilor registrelor 5. În acest caz, evident că starea inițială a registrului doi 5.2 trebuie să fie aleasă astfel încât la ieșirea sumatorului 4 să fie asigurată valoarea inițială prestabilită pentru prima celulă de memorie.

40 Pentru a obține stările inițiale prestabilite ale primei celule de memorie, care sunt 0, 0 și 1 (pe când cele ale registrului 5.1 sunt respectiv 0, 1 și 0), în registrul doi 5.2, conform tab. 1, în fiecare iterație de testare trebuie de înscris inițial valorile 0, 9 și 1.

## MD 1995 G2 2002.08.31

6

În momentul inițial de timp la intrarea 6 de resetare a dispozitivului se stabilește nivelul log. 0. Nivelul log. 0 al semnalului de resetare resetează contorul 2 și instalează registrul de sincronizare 1 în starea '0111'.

Astfel dispozitivul de testare se instalează în starea inițială.

5 După dezactivarea impulsului de resetare (adică revenirea la nivelul log. 1) de la intrarea 6, are loc generarea impulsurilor de sincronizare la intrarea 7 (fig. 3) și începe iterația de testare. Iterația de test conține subiterația a câte patru tacturi.

*Prima subiterație* de testare constă în următoarele.

Primul tact este pregătitor și-i executat "in gol".

10 La al doilea tact, conform diagramelor prezentate în fig. 3, semnalul log. 0 de la ieșirea a doua a registrului de sincronizare 1 stabilește intrarea de selectare a memoriei 3 în starea activă, adică SELECTAT, comutează intrările comutatorului 8 spre intrările-ieșirile acestuia și deschide poarta SAU 11 pentru trecerea impulsului de tact spre intrarea de citire-inregistrare a memoriei 3. La trecerea frontului pozitiv al impulsului de tact are loc înscrierea datelor de la ieșirea sumatorului 4 în prima celulă (cu adresa 0) a memoriei 3, decrementul contorului 2 (valoarea lui devine egală cu  $m-1$ ) și, ca rezultat, ieșirea de report a contorului 2 se stabilește în starea log. '1', care nu permite trecerea semnalelor prin poarta SAU 12.

15 În tactul trei are loc comutarea intrărilor-ieșirilor bidirecționale ale comutatorului 8 spre ieșirile acestuia ( $DC='1'$ ), memoria 3 se află în stare de citire ( $W/R=1$ ), iar starea '0' de la ieșirea a treia a registrului 1 permite trecerea semnalului de tact spre intrarea de increment a contorului 2, care duce la restabilirea stării contorului, adică a stării "0", și a stării ieșirii de report, care se stabilește în log. '0'.

20 În fine, tactul patru, când semnalul de tact trece din log. '0' în log. '1', include înscrierea (fixarea) conținutului celulei respective (adresa=0) de memorie 3 în al doilea registru 5.2 incrementul contorului 2 și încheierea operației de selectare a memoriei 3.

25 În *subiterația următoare*, în tactul doi are loc înscrierea sumei modulo  $q$  de la ieșirea sumatorului 4 în celula actuală a memoriei 3 și decrementul contorului 2, adică trecerea la celula precedentă. În tactul trei, deoarece starea de report a contorului 2 este egală cu '0', are loc înscrierea stării curente a celulei respective a memoriei 3 în registru 5.1 și incrementul contorului 2. Operațiile din tactul patru sunt aceleași ca în subiterația precedentă.

30 Astfel, în această subiterație conform [2], se realizează (în totalitate) o deplasare *virtuală* a automatului liniar (*virtual*), adică se citesc și se adună specific (conform structurii polinomului generator  $\varphi(X)$ ) modulo polinomul  $q(Z)$  conținutul a două celule de memorie, iar rezultatul adunării se înscrie într-o altă celulă de memorie (următoarea), care împreună cu celula de memorie precedentă devine următoarea pereche de celule procesate.

Subiterația, descrisă mai sus, se repetă până la momentul în care se ajunge la ultima celulă de memorie cu adresa  $m-1$  (fig. 3). În acest caz iterația de testare se finalizează în modul următor.

35 Subiterația finală (zeroul se află în poziția a doua a registrului 1) începe cu înscrierea rezultatului - suma modulo polinomul  $q(Z)$  în ultima celulă  $m$  a memoriei (adresa = ' $m-1$ '). Contorul 2 este în starea maxim admisibilă, de aceea ieșirea (directă) de report a acestuia se stabilește la nivelul log. 0. Apoi, în următorul tact, zeroul fiind în a treia poziție a registrului 1, valoarea contorului 2 se micșorează cu 1, adică decrementează, indicând adresa ' $m-2$ ' penultimei celule  $m-1$  de memorie, și ieșirea de report a contorului 2 se restabilește la nivelul log. 1. Trecerea din '0' în '1' a semnalului de tact cauzează trecerea lui 0 din poziția a treia în poziția a patra a registrului 1 și, ca rezultat, are loc înscrierea conținutului celulei respective de memorie în registru 5.1 și incrementul contorului 2. În tactul patru conținutul celulei de memorie cu adresa ' $m-1$ ' se înscrie în registru 5.2, iar starea contorului 2 devine egală cu 0, ceea ce poate fi folosit în calitate de indicator al finalizării iterației de testare.

45 La finele ultimei subiterații se compară stările registrelor 5 cu cele prestabilite și în caz de necoincidență se acceptă ipoteza că unitatea de testare, adică memoria operativă 3, este defectată. În caz contrar, conform [2], se efectuează alte iterații de testare cu alte combinații inițiale din cele declarate.

50 În continuare se va analiza o iterație de autotestare considerând microcircuitul K537PY13 în calitate de memorie operativă testată. Acest microcircuit are binaritatea  $n$  a celulelor de memorie egală cu 4, caracteristica  $q=2^4$ ; capacitatea = 1K.

Fie iterația de testare începe cu combinația semnalelor de test egală cu  $10_{16}$ , adică în primul registru 5.1 se va înscrie valoarea  $1_{16}(=0001_2)$ , iar în al doilea registru 5.2 - valoarea  $9_{16}(=1001_2)$ .

55 Totodată la ieșirea sumatorului 4 se formează suma mod  $(1+z+z^4)$  a acestor valori care, conform tab. 1, este egală cu 0 (v. coloana 9, rândul 1), or la ieșirile sumatorului 4 va fi combinația binară 0000<sub>2</sub> (de la dreapta la stanga - la ieșirile grupului de la 1 la 4 ale sumatorului 4). Valoarea de la ieșirile sumatorului 4 se va înscrie în celula cu adresa 0 (v. primul tact al primei iterații, fig. 3) a memoriei 3, ceea ce asigură stabilirea stării inițiale în prima poziție ( $x^1$ ) a *registrului virtual*.

60 În tactul patru al primei subiterații are loc citirea celulei cu adresa 0 și înregistrarea conținutului ei în al doilea registru 5.2. Din acest moment, pentru subiterațiile de test ce vor urma, primul registru 5.1 va fi "purătorul" stărilor primului semnal de test (conform [2]), adică în *automatul virtual* registru 5.1 va juca

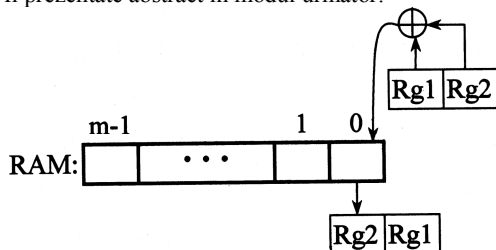
# MD 1995 G2 2002.08.31

7

rolul poziției a doua a registrului virtual, iar al doilea registru 5.2 - rolul primei poziții a registrului virtual (pozițiile registrului virtual sunt numerotate de la stânga la dreapta).

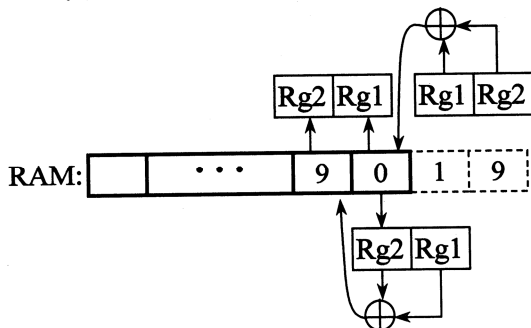
(Aceasta duce la aceea că stările primului registru 5.1 va indica numărul rândului, iar stările registrului doi 5.2 - numărul coloanei în tab. 1).

5 Sugestiv aceste tacturi pot fi prezentate abstract în modul următor:



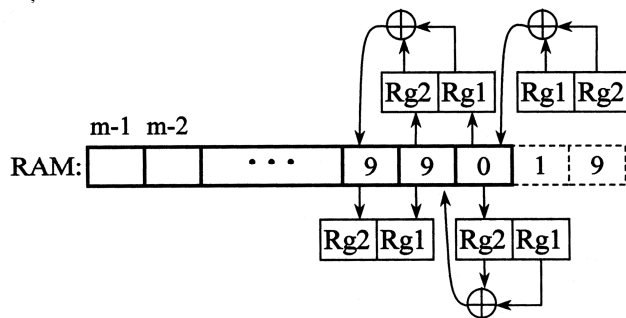
unde: RAM - celulele (de la 0 la m-1) ale matricei memoriei operative 3; Rg1 - primul registru 5.1; Rg2 - registrul al doilea 5.2;  $\oplus$  - suma modulo polinomul  $q(Z)$ .

10 În a doua subiterație va avea loc înscrierea sumei  $9\oplus 1=1$  (sau  $9+1 \pmod{1+z+z^4}=1$ ) în următoarea celulă de memorie cu adresa 1 și se va citi conținutul celei precedente cu adresa 0 și celei curente cu adresa 1. La nivel abstract, după două subiterații, se conturează următorul tablou:

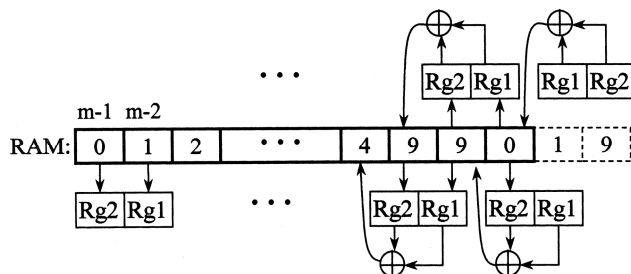


Notă: în linia "RAM" este prezentată secvența 9, 0, 1 care reprezintă stările succesive (corecte) ale pozițiilor registrului virtual.

15 După a treia subiterație tabloul va fi următorul:



La finele ultimei subiterații primul registru 5.1 va conține starea penultimei celule, cu adresa m-2, iar registrul doi 5.2 - starea ultimei celule, cu adresa m-1. Aceste stări vor reprezenta combinația de semnale (de test) finale care trebuie să fie comparată cu cea de control.



20

# MD 1995 G2 2002.08.31

De exemplu, în cazul analizat pentru combinația  $10_{16}$  de semnale de test combinația de control este  $10_{16}$ .  
5 Este cunoscut faptul că pentru autotestarea pseudoinelară completă (cu rezoluția 100%), când registrul automatului liniar constă din două poziții, adică  $\text{Deg } \varphi(X)=2$ , sunt necesare trei iterații de testare. În calitate de valori inițiale ale registrului automatului este suficient de ales combinațiile 00, 01 și 10 (în baza  $q$ ).

10 Astfel, aplicarea dispozitivului propus permite de a efectua autotestarea microcircuitelor de memorie cu binaritatea  $n$  arbitrară ale celulelor de memorie ( $n>1$ ). Rezoluția testării în raport cu defectările constante ale celulelor de memorie este absolută și egală cu 1 (100%).

## 15 (57) Revendicare:

Memorie operativă cu autotestare, ce conține un registru de sincronizare, a cărui intrare de tact este conectată la intrarea de tact a dispozitivului, un contor cu intrarea de resetare conectată la intrarea de resetare a registrului de sincronizare și la intrarea de resetare a dispozitivului, intrarea de decrement - la ieșirea a doua a registrului de sincronizare, iar ieșirile informaționale ale contorului sunt unite cu intrările de adrese ale memoriei operative, un sumator modulo  $q$ , **caracterizată prin aceea că** ea conține suplimentar un grup din două registre, ieșirile primului registru fiind conectate respectiv la primul grup de intrări ale sumatorului, ieșirile registrului doi fiind conectate respectiv la grupul doi de intrări ale sumatorului, un comutator, ieșirile-intrările bidirecționale ale căruia sunt conectate respectiv la ieșirile-intrările bidirecționale de date ale memoriei, intrările - respectiv la ieșirile sumatorului modulo  $q$ , ieșirile - respectiv la intrările de date ale registrelor grupului, o poartă logică ȘI, ieșirea căreia este conectată la intrarea de selectare a memoriei, prima poartă logică SAU, ieșirea căreia este conectată la intrarea de increment a contorului, intrarea a doua - la intrarea de tact a registrului doi din grup și la ieșirea a patra a registrului de sincronizare, a doua poartă logică SAU, ieșirea căreia este conectată la intrarea de citire-inregistrare a memoriei, prima intrare - la prima intrare a porții ȘI și la intrarea de tact a dispozitivului, iar a doua intrare - la intrarea a doua a porții ȘI, la intrarea de comutare a comutatorului și la ieșirea a doua a registrului de sincronizare, a treia poartă logică SAU, o intrare a căreia este conectată la ieșirea de report a contorului, cealaltă intrare - la prima intrare a primei porți SAU și la ieșirea a treia a registrului de sincronizare, iar ieșirea - la intrarea de tact a primului registru din grup.

35

## (56) Referințe bibliografice:

1. SU1695394 A
2. MD 1240 G2
3. Klistorin Iliia, Bodean Ghenadie, Didenco Olga. Defectările multiple RAM și implementarea metodei de testare pseudoinelara. Acta Academia, 1997, pag.264

Șef Secție:	COZMA Valeriu
Examinator:	NASTAS Xenia
Redactor:	ANDRIUȚĂ Victoria

# MD 1995 G2 2002.08.31

9

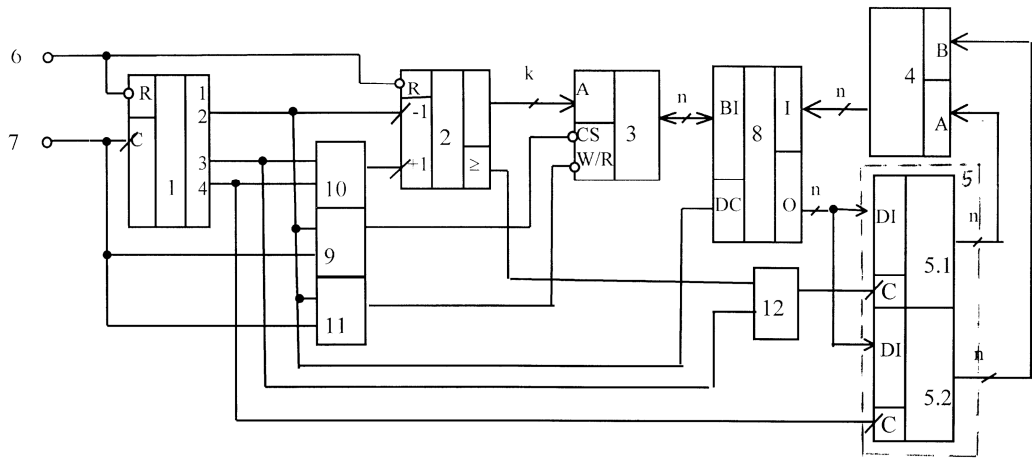


Fig. 1

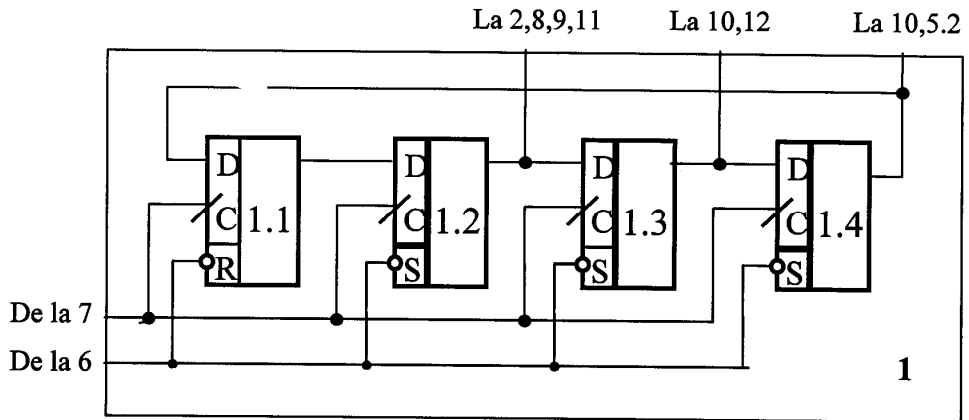


Fig. 2



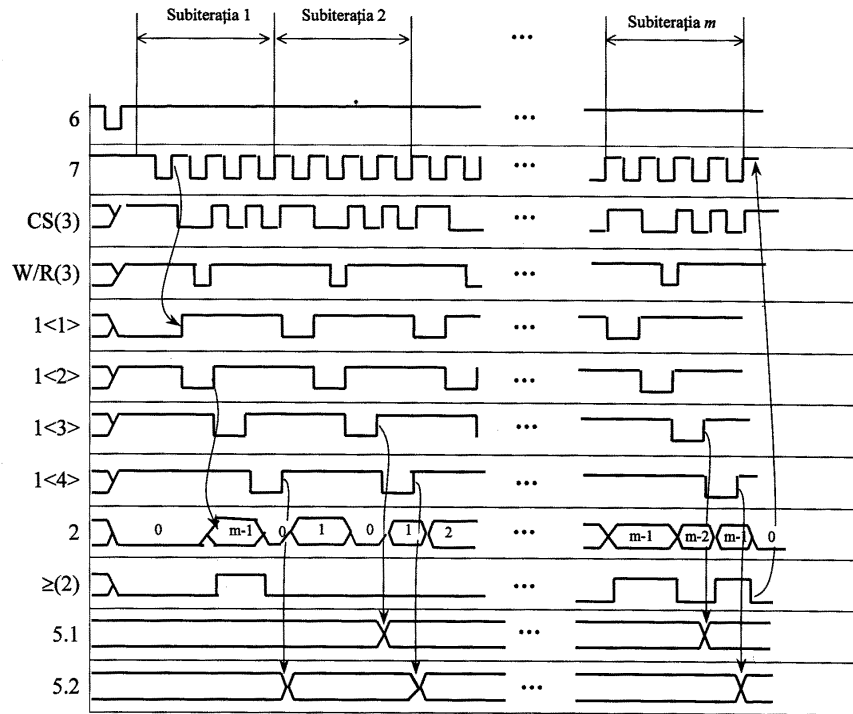


Fig. 3