

Invenția se referă la tehnica de calcul și microelectronică și poate fi aplicată la producerea și exploatarea circuitelor supraintegrate cu mijloace compacte inserate de testare și diagnosticare.

Este cunoscută metoda de testare, numită *autotestare pseudoinelară* a dispozitivelor de memorie operativă cu celule logice unipoziționale care constă în aceea că numărul semnalelor de test se alege egal cu cel al stărilor stabile diferite ale unei celule de memorie la începutul iterației de test, primul și al doilea semnale de test, se înscriu corespunzător în primele două celule ale dispozitivului de capacitatea  $m$  ( $m$  - numărul de celule), apoi se repetă de  $m-2$  ori următoarele operații: se citește și se adună modulo doi conținutul celulelor, în care se păstrează semnalele actuale de test, apoi al doilea semnal de test este interpretat în calitate de prim semnal de test, iar rezultatul adunării modulo doi este interpretat ca al doilea semnal de test, se înscrie al doilea semnal de test în următoarea celulă a dispozitivului de memorie operativă; se compară combinația rezultată de semnale de test cu cea de control și în cazul coincidenței se efectuează iterațiile de test cu alte combinații inițiale nenule ale valorilor semnalelor de test până la prima necoincidență a combinației rezultate cu cea de control și dacă o asemenea necoincidență există, se decide că dispozitivul de memorie operativă este defectat [ 1].

Deficiența acestei metode constă în aceea că ea nu asigură diagnosticarea dispozitivelor de memorie operativă.

Cea mai apropiată soluție după esență și efectul obținut este dispozitivul de autotestare a memoriei operative care conține un registru de sincronizare, intrarea de sincronizare a căruia este intrarea de sincronizare a dispozitivului, o grupă de trei contoare, memorie operativă (RAM-ul), o grupă de bistabili, un element logic de sumare (*sumator*) modulo 2 (SAU EXCLUSIV), ieșirea căruia este conectată la intrarea de date a memoriei, o intrare este conectată la ieșirea bistabilului doi al grupei, iar cealaltă intrare – la ieșirea primului bistabil al grupei, intrarea de date a căruia este conectată la intrarea de date a bistabilului doi al grupei și la ieșirea de date a memoriei, intrările de adrese ale căreia sunt conectate respectiv la ieșirile informaționale ale contoarelor grupei, intrarea de citire-înscrisoare – la intrarea de permitere a contorului trei al grupei și la ieșirea a patra a registrului, ieșirea a treia a căruia este conectată la intrarea de permitere a contorului doi al grupei și la intrarea de sincronizare (tact) a bistabilului doi al grupei, ieșirea a doua – la intrarea de permitere a primului contor al grupei și la intrarea de tact a primului bistabil al grupei, prima ieșire - cu intrările de tact ale contoarelor grupei, intrarea de tact a căruia este conectată la intrarea de sincronizare a dispozitivului [2].

Deficiența dispozitivului constă în aceea că nu conține mijloace necesare pentru diagnosticarea memoriei operative, inclusiv a microcircuitelor de memorie.

Problema pe care o rezolvă invenția constă în extinderea performanțelor funcționale ale dispozitivului.

Esența invenției constă în aceea că în dispozitivul de diagnosticare pseudoinelară a memoriei operative care conține un grup din  $k$  contoare ( $2 < k \leq r+1$ ), o memorie operativă, un sumator modulo 2 (SAU EXCLUSIV), ieșirea căruia este conectată la intrarea de date a memoriei, sunt introduse suplimentar un contor, un registru de deplasare, două multiplexoare, trei porți SAU și un bistabil, intrarea de tact a căruia constituie intrarea de sincronizare a dispozitivului și este unită cu a treia intrare a porții trei SAU, ieșirea indirectă este conectată la intrarea de date a acestuia, iar ieșirea directă – la prima intrare a primei porți SAU, la a doua intrare informațională a primului multiplexor, la intrarea de selectare a memoriei, la prima intrare a porții trei SAU și la prima intrare (directă) a porții doi SAU, ieșirea căreia este conectată la intrarea de tact a registrului, ieșirile căruia de la 1 la  $r$  constituie grupul de ieșiri ale dispozitivului și sunt conectate la intrările sumatorului modulo 2, iar intrarea de date – la ieșirea memoriei, intrarea de citire-înscrisoare a căreia este conectată la ieșirea porții trei SAU, iar intrările de adrese – respectiv la ieșirile multiplexorului doi, grupul de intrări de la 1 la  $k$  ale căruia sunt conectate respectiv la ieșirile informaționale ale contoarelor din grup, iar grupul de intrări de control – respectiv la ieșirile contoarelor grupului, intrarea de tact a căruia este unită cu ieșirea primei porți SAU, iar ieșirea (indirectă) de report – cu intrările de tact ale contoarelor din grup de la 2 la  $k$ , cu intrarea a doua a porții trei SAU, cu intrarea a doua (indirectă) a porții doi SAU și cu prima intrare informațională a primului multiplexor, intrarea de control a căruia este conectată la ieșirea de report a contorului  $k$  din grup și la intrarea a doua a primei porți SAU, iar ieșirea – la intrarea de tact a primului contor din grup, ieșirea de report a căruia constituie ieșirea de indicare STOP a dispozitivului.

Rezultatul invenției constă în diagnosticarea memoriei operative prin recunoașterea și localizarea celulei defectate a memoriei (pentru defectările constante).

Totodată, acest deziderat tehnic se obține prin executarea celor  $r+1$  iterații de testare predefinite, ca rezultat al cărora în mod univoc va fi determinată celula defectată, unde  $r = \text{Log}_2 n$ ,  $n$  – capacitatea matricei de memorie. Îtrădevăr, rezultatul iterației de testare este stabilirea faptului că memoria conține (“da”) sau nu conține (“nu”) o defectare. Iar combinația de răspunsuri sau *de decizie* de lungimea  $r + 1$ , formată din “da” și “nu”, este unică pentru fiecare caz de defectare (constantă singulară).

În fig.1 este prezentată schema de structură a dispozitivului propus; în fig.2 – circuitul electric al multiplexorului doi; în fig.3 – diagramele de timp de funcționare a dispozitivului.

Dispozitivul propus este compus din contorul 1, grupul de contoare 2, memoria operativă 3, sumatorul modulo doi 4, registrul 5, bistabilul 6, porțile logice SAU 7, 8 și 9, multiplexoarele 10 și 11, intrarea de tact 12, ieșirea de indicare 13 și grupul de ieșiri 14 (fig.1).

Intrarea de tact 12 este conectată la a treia intrare a porții trei SAU 9 și cu intrarea de tact a bistabilului 6, ieșirea indirectă a căruia este unită cu intrarea de date a acestuia, iar ieșirea directă - cu prima intrare a primei porți SAU 7, cu a doua intrare informațională a primului multiplexor 10, cu intrarea de selectare a memoriei 3, cu prima intrare a porții trei SAU 9 și cu prima intrare (directă) a porții doi SAU 8, ieșirea căreia este conectată cu intrarea de tact a registrului 5, ieșirile căruia de la 1 la r constituie grupul 14 de ieșiri ale dispozitivului și, totodată, ieșirile de la 1 la k ( $2 < k \leq r + 1$ ) sunt conectate la intrările sumatorului modulo doi 4, iar intrarea de date - la ieșirea unității de memorie 3, intrarea de citire-înscrisoare a căreia este conectată la ieșirea porții trei SAU 9, iar intrările - respectiv cu ieșirile multiplexorului doi 11, grupuri de intrări ale căruia de la 1 la k sunt conectate respectiv la ieșirile informaționale ale contoarelor grupului 2, iar grupul de intrări de control - respectiv la grupul de ieșiri ale contorului 1, intrarea de tact a căruia este unită cu ieșirea primei porți SAU 7, iar ieșirea (indirectă) de report - cu intrările de tact ale contoarelor de la 2.2 la 2.k din grupul 2, cu intrarea a doua a porții trei SAU 9, cu intrarea a doua (indirectă) a porții doi SAU 8 și cu prima intrare informațională a primului multiplexor 10, intrarea de control a căruia este conectată cu ieșirea de report a contorului 2.k din grupul 2 și cu intrarea a doua a primei porți SAU 7, iar ieșirea - cu intrarea de tact a primului contor 2.1 din grupul 2, ieșirea de report a căruia este ieșirea 13 de indicare STOP a dispozitivului.

Contorul 1 poate fi construit pe baza microcircuitelor K155ИЕ7 [Шило В.Л. Популярные микросхемы ТТЛ, М., Аргус, 1993], asigurând generarea valorilor din intervalul  $\{0, 1 \dots k - 1\}$ ; ieșirea de report TCU a microcircuitului respectiv.

Contoarele grupului 2 pot fi construite pe baza microcircuitelor K155ИЕ7, asigurând generarea valorilor din intervalul  $\{0 \dots n\}$ ; ieșirea de report TCU a microcircuitului contorului 2.k din grupul 2, conectată la ieșirea de report a acestuia, este inversată prin intermediul unei porți NU din componența microcircuitului K155ЛН1 [Шило В.Л. Популярные микросхемы ТТЛ, М., Аргус, 1993].

Memoria operativă 3 de capacitatea n este unitatea care se testează și reprezintă un microcircuit de memorie operativă (statică) cunoscut, de exemplu microcircuitul K537PY6 (ori K132PY5) [Микросхемы памяти ЦАП и АЦП. Справочник, 2-е изд., стереотип. Лебедев О.Н., Марцинкявичюс А-Й.К., Богданскис Э-А.К. и др., М., КУБК-а, 1996].

Sumatorul modulo doi 4 (SAU EXCLUSIV) poate fi construit pe baza microcircuitului K555ЛП5 [Шило В.Л. Популярные микросхемы ТТЛ, М., Аргус, 1993].

În calitate de bistabil 6 poate fi folosit bistabilul de tipul D din microcircuitul K155ТМ2 [Шило В.Л. Популярные микросхемы ТТЛ, М., Аргус, 1993]. Intrările R și S, neimplicate în funcționarea dispozitivului, se vor conecta (pentru certitudine) printr-o rezistență de  $1 \text{ k}\Omega$  la sursa  $\log. '1'$ .

În calitate de porți SAU 7 și 8 pot fi folosite porțile SAU din microcircuitul K155ЛЛ1 [Шило В.Л. Популярные микросхемы ТТЛ, М., Аргус, 1993], unde intrarea a doua a porții SAU 8 este inversată prin intermediul unei porți NU din componența microcircuitului K155ЛН1 [Шило В.Л. Популярные микросхемы ТТЛ, М., Аргус, 1993], iar poarta SAU 9 cu trei intrări poate fi construită pe baza a două porți SAU cu două intrări din componența aceluiași microcircuit.

Multiplexorul 10 este un element de comutare și poate fi construit, de exemplu, pe baza a trei porți logice ȘI-NU cu două intrări în conformitate cu circuitul standard al multiplexoarelor [Каган Б.М. Электронные вычислительные машины и системы, Учеб. пособие для вузов. М., Энергоатомиздат, 1985].

Multiplexorul 11 este un comutator, care unește ieșirile unuia din contoarele grupului 2 cu intrările de adrese ale memoriei 3; numărul contorului ales este indicat de valoarea de ieșire a contorului 1. Multiplexorul 11 poate fi realizat, de exemplu, conform circuitului din fig. 2 și conține un grup de r multiplexoare 15.1...15.r, ieșirile cărora sunt respectiv ieșirile multiplexorului 11, intrările de control ale cărora sunt conectate respectiv împreună și constituie respectiv intrările de control ale multiplexorului 11; intrările de la 1 la r din grupurile de la 1 la k de intrări ale multiplexorului 11 sunt conectate respectiv la intrările de la 1 la k ale celor r multiplexoare din grupul 15, adică intrările primului grup sunt conectate la primele intrări ale multiplexoarelor grupului 15, intrările grupului doi de intrări - la intrările doi ale multiplexoarelor grupului 15 etc., intrările grupului k de intrări - la intrările k ale multiplexoarelor grupului 15. În calitate de multiplexoare ale grupului 15 pot fi folosite, de exemplu, multiplexoarele din microcircuitul K155ИД3 [Шило В.Л. Популярные микросхемы ТТЛ, М., Аргус, 1993].

În calitate de registru de deplasare 5 poate fi folosit, de exemplu, registrul din microcircuitul K555ИР11 [Шило В.Л. Популярные микросхемы ТТЛ, М., Аргус, 1993].

Dispozitivul funcționează în modul următor.

La conectarea sursei de alimentare stările registrului, contoarelor, bistabilului și a celulelor de memorie pot fi arbitrare.

Starea inițială a bistabilului 6 poate fi setată folosind intrările set (S) și reset (R), de exemplu, prin aplicarea semnalelor  $\log.0$  și  $\log.1$  respectiv la intrările S și R ale bistabilului din microcircuitul K155 TM2. După setarea bistabilului în starea  $\log.1$  (la ieșirea directă Q –  $\log.1$ ), intrările set și reset se stabilesc în starea de păstrare, care nu influențează asupra funcționării bistabilului D.

Stările inițiale ale contorului 1 și grupului de contoare 2 se înscriu folosind, de exemplu, intrarea de înscriere paralelă și aplicând semnalele de comandă necesare pentru setarea asincronă. De exemplu, în microcircuitele K155HE7 în acest scop se vor folosi intrările de control reset R, permitere paralelă PE și intrările de date D.

Diagnosticarea pseudoinelară a dispozitivului de memorie 3 constă în efectuarea a  $r+1$  iterații de testare. Iterația de testare, conform metodei de testare pseudoinelară [1], începe cu inițierea primelor  $r$  celule de memorie cu o stare predeterminată, executarea unor transformări liniare asupra datelor din celule de memorie prin simularea automatului liniar LFSR și compararea stărilor finale LFSR cu cele așteptate, anterior calculate.

Inițierea a  $r$  celule de memorie cu o stare predeterminată poate fi efectuată în modul următor. Contorul 2.1 este resetat. Contorul 1 este setat în starea  $k-1$ , astfel că ieșirea de report a acestuia este resetată. Contorul 2.k din grupul 2 este stabilit în starea maximal admisibilă, adică  $n$ . În acest caz, ieșirea de report a contorului 2.k se va seta în starea  $\log.1$ , care va închide poarta SAU 7 și va conecta intrarea a doua a multiplexorului 10 la ieșirea acestuia, astfel permițând trecerea semnalelor de tact de la ieșirea bistabilului 6 la intrarea de tact a contorului 2.1. Valoarea care trebuie să fie înscrisă în celula  $i$  a memoriei 3 este asigurată de stările registrului  $5$   $0 \leq i \leq r$ . Starea registrului 5 este inițiată de combinația de la intrările de date, care se înscrie cu frontul posterior al semnalului de tact.

Înscrierea valorilor inițiale ale registrului *virtual* LFSR - primele  $r$  celule ale memoriei 3, se efectuează în cadrul subiterațiilor intervalului de setare inițială. La început contoarele grupului 2 sunt setate într-o stare inițială predefinită (predeterminată). O subiterație constă din  $k$  tacturi – semnale de tact (frontul posterior) parvenite de la ieșirea directă a bistabilului 6. Cu fiecare trecere (în afară de tactul  $k$ ) a semnalului de tact din  $\log.0$  în  $\log.1$  are loc înscrierea datelor în registrul 5.

Conform metodei cunoscute [1] testarea pseudoinelară a memoriei 3 constă din  $r+1$  iterații de testare. La începutul fiecărei iterații în primele  $r$  celule ale matricei de memorie este înscrisă una din combinațiile  $0..00$ ,  $0..01$ ,  $0..011$ ,  $1..11$  de lungimea  $r$ . Numărul  $k$  de contoare ale grupului 2 este determinat de numărul termenilor nenuli al

$$\varphi(x) = 1 + \sum_{i=1}^r a_i x^i$$

polinomului ireductibil  $a_i \in \{0,1\}$ , care descrie structura (automatului) LFSR. De exemplu, pentru microcircuitul de memorie operativă K537 PY 6 (ori K132PY5) de capacitatea  $12 \text{ Kbit}$  gradul *deg*  $\varphi(x)$  al polinomului  $\varphi(x)$  este egal cu  $r = 12$ , iar pentru această mărime poate fi ales, de exemplu, polinomul ireductibil  $\varphi(x) = 1+x^3+x^4+x^7+x^{12}$  (Ярмолик В.Н., Демиденко С.Н. Генерирование и применение псевдослучайных сигналов в системах испытаний и котроля. Минск, Наука и техника, 1986). Deci,  $k-1=4$ , adică  $\varphi(x)$  conține 4 termeni nenuli -  $x^3$ ,  $x^4$ ,  $x^7$  și  $x^{12}$ .

Totodată puterile termenilor polinomului  $\varphi(x)$  determină la începutul iterației de testare starea inițială a contoarelor grupului 2. De exemplu, starea inițială a contorului 2.1, care corespunde termenului de gradul cel mai mare  $r$ , adică  $r = 12$ , este egală cu  $n-r$ , adică  $4096-12=4084$ , a contorului 2.2 – cu  $4096-7=4089$ , a contorului 2.3 – cu  $4092$ , a contorului 2.4 – cu  $4093$  și a contorului 2.5 (adică 2.k) – cu 0. Aceste stări sunt inițializate la aplicarea semnalului de resetare (intrarea de resetare nu-i indicată în fig.1).

Inițializarea memoriei 3, adică a primelor  $r = 12$  celule (de la 0 la 11), decurge în modul următor. Se execută  $r$  subiterații. În cadrul acestor  $r$  subiterații registrul 5, care este construit cum s-a menționat anterior pe baza registrului universal K155 IP11 (pentru exemplul analizat este necesar de conectat în serie 3 microcircuite K155IP11), este setat în regimul de înregistrare (înscriere) paralelă (intrările  $S_0 = \log.0$  și  $S_1 = \log.1$  – nu-s arătate în fig.1). Intrările de date (neprezentate în fig.1) ale registrului K155IP11 vor fi folosite pentru înscrierea datelor în registrul 5. Combinația de date este selectată în așa mod, încât să asigure la ieșirea sumatorului 4 valoarea necesară a stării poziției curente a registrului virtual LFSR. De exemplu, dacă la ieșirea sumatorului 4 este necesară valoarea 0, combinația poate fi din 0-uri, iar dacă se cere 1 la ieșirea sumatorului 4, în combinația de intrare trebuie să fie o unitate în una din cele  $k$  poziții ale combinației și restul – 0.

Adresa celulei, în care va fi înscrisă valoarea de la ieșirea sumatorului 4, va fi indicată (scontată) de contorul 2.k. La sfârșitul fiecărei subiterații de testare, când semnalul de la ieșirea de report a contorului 1 trece din  $\log.0$  în  $\log.1$ , se produce incrementul contoarelor grupului 2.

Astfel, la sfârșitul celor  $r$  subiterații de inițializare se asigură valorile necesare ale contoarelor grupului 2 și starea predeclarată a registrului virtual LFSR. Pentru exemplul analizat, vom avea următoarele stări ale contoarelor grupului 2: contorul 2.1 – în starea 0, contorul 2.2 – în starea 5, contorul 2.3 – în starea 8, contorul 2.4 – în starea 9 și contorul 2.5 – în starea 12.

Deși în cadrul subiterației de inițializare are loc citirea memoriei 3, aceasta nu va influența asupra stării registrului 5, deoarece ieșirea memoriei 3 este conectată la intrarea de deplasare a datelor în dreapta, DSR.

După epuizarea celor  $r$  subiterații de inițializare a memoriei are loc comutarea registrului 5 în regimul de deplasare în dreapta ( $S_0 = \log.1$  și  $S_1 = \log.0$ ), permițând înregistrarea datelor de la ieșirea memoriei 3.

Astfel se trece la executarea iterației de testare (fig.3).

Iterația de testare constă din subiterații de testare care se execută în  $k$  tacturi: în  $k$  tacturi se citește și se înregistrează secvențial în registrul 5 conținutul celulelor de memorie 3, situate pe adresele indicate de primele  $k-1$  contoare din grupul 2, iar în tactul  $k$  rezultatul sumei modulo 2 asupra valorilor citite se înscrie în celula de memorie, indicată de contorul  $2.k$ . La finele subiterației, la trecerea semnalului de report a contorului 1 din  $\log.0$  în  $\log.1$ , are loc incrementul contoarelor grupului 2, astfel simulând deplasarea registrului *virtual* LFSR în spațiul matricei de memorie 3.

După  $n$  subiterații de testare, adică în momentul de timp când contorul  $2.k$  trece în starea  $n$ , la ieșirea de report a acestuia apare semnalul  $\log.1$ , care închide poarta SAU 7 și comutează a doua intrare a multiplexorului 10 la ieșirea acestuia și se începe etapa de citire a stărilor registrului virtual LFSR, care se află în ultimele  $r$  celule ale matricei de memorie 3. Deoarece starea contorului 1 este 0, intrările de adrese ale memoriei 3 sunt conectate cu ieșirile contorului 2.1, care este tactat (prin multiplexorul 10) de bistabilul 6; intrarea de citire-înscrisere a memoriei 3 este în starea  $\log.1$ , adică în starea de "citire". Cu fiecare tact starea contorului 2.1 execută incrementul de la  $n-r$  până la valoarea  $n$ , adică până în momentul când este citită ultima celulă a memoriei 3; valorile de la ieșirea memoriei 3 sunt înregistrate în registrul 5. Semnalul, care apare la ieșirea de report a contorului 2.1 (fig. 3) și la ieșirea de indicare 13 poate fi folosit ca indicator al finalizării iterației de testare. În acest caz, valoarea de ieșire a registrului 5, adică de la ieșirea 14, este comparată cu cea așteptată (predifinită). Rezultatul comparării este înregistrat.

În ansamblu, precum s-a menționat anterior, vor fi executate  $r+1$  iterații de testare. Vectorul de decizie, format din rezultatele iterațiilor de testare, indică în mod univoc celula defectată și tipul defectării (dacă defectul este prezent în matricea de memorie!). Pentru aceasta, este construit prealabil (de exemplu, prin simulare) tabelul de decizie care conține vectorii de decizie și celulele defectate cu indicarea tipului defectului care corespund acestor vectori.

S-a analizat procedeul de diagnosticare pseudoinelară, considerând o matrice de memorie de capacitatea  $n = 7$  biți. În acest caz  $r = \lceil \log_2 n \rceil = 3$ , pentru care se selectează polinomul  $\varphi(x) = 1+x^2+x^3$ . Rezultatul simulării celor  $r+1=4$  iterații de testare cu valorile (binare) inițiale respectiv 000, 001, 011, 111 sunt prezentate în tabelul 1.

Tabelul 1

	$a_6$	$a_5$	$a_4$	$a_3$	$a_2$	$a_1$	$a_0$
RAM:	6	5	4	3	2	1	0
$\theta_1$	0	0	0	0	0	0	0
$\theta_2$	1	1	0	1	0	0	1
$\theta_3$	1	0	1	0	0	1	1
$\theta_4$	0	1	0	0	1	1	1

← ⏟  
*Init*

$\theta_1 \dots \theta_4$  - iterațiile de testare.

Vectorii de decizie sunt prezentați în tabelul 2. În acest tabel nota  $a(\bullet) \equiv 0$  ori  $a(\bullet) \equiv 1$  specifică starea celulei a care-i blocată în 0 sau 1.

În cazul în care memoria 3 va fi microcircuitul K537PY6 (K132PY5) diagnosticarea pseudoinelară va necesita  $r+1=13$  iterații de testare, iar tabelul de decizie va conține 4094 vectori de decizie.

Astfel, aplicarea dispozitivului propus permite de a efectua diagnosticarea dispozitivelor, inclusiv a microcircuitelor, de memorie operativă pentru defectările de tipul "blocat 0" și "blocat 1".

Tabelul 2

Iterația care n-a trecut	Adresa celulei și tipul defectului	Vectorul de decizie, 01020304
01	a0≡ 1	1000
020304	a0≡ 0	0111
0102	a1≡ 1	1100
0304	a1≡ 0	0011
010203	a2≡ 1	1110
04	a2≡ 0	0001
010304	a3≡ 1	1011
02	a3≡ 0	0100
010204	a4≡ 1	1101
03	a4≡ 0	0010
0103	a5≡ 1	1010
0204	a5≡ 0	0101
0104	a6≡ 1	1001
0203	a6≡ 0	0110

0 – iterația de test a trecut; 1 – iterația de test n-a trecut.