

Изобретение относится к области вычислительной техники и микроэлектроники и может быть применено при производстве и эксплуатации сверхинтегральных схем с встроенными средствами тестирования и диагностирования.

Устройство содержит счетчик 1, группу счетчиков 2, оперативную память 3, сумматор по модулю два 4, регистр 5, триггер 6, три логических элемента ИЛИ 7, 8 и 9, два мультиплексора 10 и 11, выход индикации 13.

Результат изобретения заключается в распознавании и локализации неисправной ячейки памяти.

П. формулы: 1

Фиг.: 3

