



REPUBLICA MOLDOVA



(19) Agenția de Stat  
pentru Protecția Proprietății Industriale

(11) 2292 (13) F1  
(51) Int. Cl.<sup>7</sup>: G 11 C 29/00

(12) BREVET DE INVENȚIE

<b>Hotărârea de acordare a brevetului de invenție poate fi revocată în termen de 6 luni de la data publicării</b>	
(21) Nr. depozit: a 2003 0008 (22) Data depozit: 2002.12.31	(45) Data publicării hotărârii de acordare a brevetului: 2003.10.31, BOPI nr. 10/2003
(71) Solicitant: BODEAN Ghenadie, MD (72) Inventatori: BODEAN Diana, MD; LABUNET Alexandru, MD; BODEAN Ghenadie, MD (73) Titular: BODEAN Ghenadie, MD	

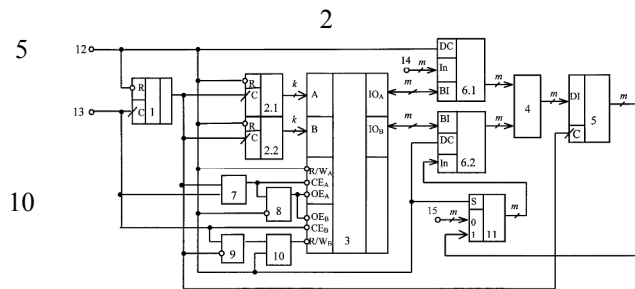
(54) Memorie operativă biport cu autotestare

(57) Rezumat:

1  
 Invenția se referă la tehnica de calcul și micro-  
 5 electronică și poate fi aplicată la producerea și  
 exploatarea microcircuitelor cu mijloace încorporate  
 de testare și diagnosticare.

Dispozitivul conține un registru de sincronizare  
 1, un grup de contoare 2, memorie operativă biport 3,  
 10 sumator modulo  $q$  4, registru 5, un grup de  
 comutatoare 6, trei porți logice SAU 7, 8 și 9, o  
 poartă logică ȘI 10, un multiplexor 11, intrări de  
 resetare 12, de sincronizare 13, de date 14 și 15.

Revendicări: 1  
Figuri: 2



15

**Descriere:**

Invenția se referă la tehnica de calcul și microelectronică și poate fi aplicată la producerea și exploatarea microcircuitelor cu mijloace încorporate de testare și diagnosticare.

5 Este cunoscută metoda de testare numită *autotestare pseudoinelară* a dispozitivelor de memorie operativă cu celule logice unipoziționale (adică de binaritatea  $m=1$ ) care constă în aceea că la începutul iterației de test primul și al doilea semnale de test se înscriu corespunzător în primele două celule ale dispozitivului de capacitatea  $N$  ( $N$  – numărul de celule), apoi se repetă de  $N-2$  ori următoarele operații: se citește și se adună modulo doi conținutul celulelor, în care se păstrează semnalele curente (actuale) de test, apoi al doilea semnal de test este interpretat în calitate de prim semnal de test, iar rezultatul adunării  
10 modulo doi este interpretat în calitate de al doilea semnal de test, se înscrie al doilea semnal de test în următoarea celulă a dispozitivului de memorie operativă; se compară combinația rezultată de semnale de test cu cea de control și în cazul coincidenței se efectuează iterațiile de test cu alte combinații inițiale (nenule) ale valorilor semnalelor de test până la prima necoincidență a combinației rezultate cu cea de control și în acest caz se decide că dispozitivul de memorie operativă este defectat [1].

15 Dezavantajul acestei metode (și a dispozitivului respectiv) constă în aceea că nu asigură testarea dispozitivelor de memorie operativă, inclusiv a circuitelor de memorie, cu celule logice multipoziționale, adică cu binaritatea cuvântului  $m>1$ .

Cea mai apropiată soluție după esența tehnică și efectul obținut este dispozitivul de autotestare a memoriei operative care conține un registru de sincronizare, intrare de sincronizare a căruia este intrarea de sincronizare a dispozitivului, un contor, intrarea de resetare a căruia este conectată la intrarea de resetare a registrului de sincronizare și la intrarea de resetare a dispozitivului, intrarea de decrement – cu ieșirea a doua a registrului de sincronizare, iar ieșirile informaționale ale contorului sunt unite cu intrările de adrese ale memoriei operative, un sumator modulo  $q$ , un grup din două registre, ieșirile primului registru sunt conectate respectiv la primul grup de intrări ale sumatorului, ieșirile registrului doi sunt conectate respectiv la grupul doi de intrări ale sumatorului, un comutator, ieșirile-intrările bidirecționale ale căruia sunt conectate respectiv la ieșirile-intrările bidirecționale de date ale memoriei, intrările – respectiv la ieșirile sumatorului modulo  $q$ , ieșirile – respectiv la intrările de date ale registrelor grupului, trei porți logice SAU – prima, a doua și a treia, o poartă logică ȘI, ieșirea căreia este conectată la intrarea de selectare a memoriei, ieșirea primei porți logice SAU este conectată la intrarea de increment a contorului, intrarea a doua – la intrarea de tact a registrului doi din grup și la ieșirea a patra a registrului de sincronizare, ieșirea porții a doua SAU este conectată la intrarea de citire-înscriere a memoriei, prima intrare – la prima intrare a porții ȘI și la intrarea de sincronizare a dispozitivului, iar a doua intrare – la intrarea a doua a porții ȘI, la intrarea de comutare a comutatorului și la ieșirea a doua a registrului de sincronizare; o intrare a porții a treia SAU este conectată la ieșirea de report a contorului, cealaltă intrare  
30 – la prima intrare a primei porți SAU și la ieșirea a treia a registrului de sincronizare, iar ieșirea – la intrarea de tact a primului registru din grup [2].

Dispozitivul sus-menționat este destinat pentru autotestarea pseudoinelară a memoriei operative, inclusiv a microcircuitelor de memorie, însă numai cu un singur port.

40 Problema pe care o rezolvă invenția constă în extinderea performanțelor funcționale ale dispozitivului. Esența invenției constă în aceea că memoria operativă biport cu autotestare conține un registru de sincronizare, a cărui intrare de sincronizare constituie intrarea de sincronizare a dispozitivului, un contor, intrarea de resetare a căruia este conectată la intrarea de resetare a registrului de sincronizare și la intrarea de resetare a dispozitivului, intrarea de adrese a primului port al memoriei operative biport este conectată la ieșirea contorului, un sumator modulo  $q$ , un registru, un comutator, intrarea bidirecțională a căruia este conectată la ieșirea primului port al memoriei operative, trei porți logice SAU și o poartă logică ȘI, totodată ea este dotată suplimentar cu al doilea contor, care împreună cu primul formează un grup de contoare, ieșirea căruia este conectată la intrarea de adrese a portului doi al memoriei operative, la al doilea comutator care împreună cu primul comutator formează un grup de comutatoare, intrarea bidirecțională a căruia este conectată la ieșirea portului doi al memoriei operative, ieșirea – la o intrare a sumatorului modulo  $q$ , cealaltă intrare a căruia este conectată la ieșirea primului comutator, intrarea căruia este prima intrare de date a dispozitivului, cu un multiplexor, prima intrare a căruia este a doua intrare de date a dispozitivului, ieșirea fiind conectată la intrarea comutatorului doi, a doua intrare – la ieșirea registrului, intrarea căruia este conectată la ieșirea sumatorului modulo  $q$ , iar intrarea de tact – la ieșirea registrului de sincronizare, la intrările de tact ale contoarelor grupului, la intrarea inversă a porții a treia SAU, la o intrare a primei porți logice SAU, cealaltă intrare a căreia este conectată la intrarea de sincronizare a dispozitivului, la intrarea directă a porții a treia SAU și la intrarea de selectare a portului doi al memoriei operative, intrarea de selectare a primului port al memoriei este conectată la ieșirea primei porți SAU și la intrarea directă a porții a doua SAU, ieșirea căreia este conectată la intrările de  
55 permitere a porturilor memoriei operative, intrarea de înscriere-citire a portului doi al memoriei este

## MD 2292 F1 2003.10.31

4

conectată la ieșirea porții logice ȘI, o intrare a căreia este conectată la ieșirea porții a treia SAU, iar cealaltă intrare – la intrarea inversată a porții a doua SAU, la intrarea de citire-înscrisere a primului port al memoriei, la intrarea de resetare a contorului doi, la intrarea de resetare a dispozitivului și la intrările de comutare ale comutatoarelor și multiplexorului.

5 Rezultatul care poate fi obținut prin realizarea invenției constă în autotestarea dispozitivului de memorie operativă biport cu rezoluția absolută de 100% pentru defectările constante prin extinderea performanțelor și ridicarea vitezei de funcționare a dispozitivului.

Ridicarea vitezei se obține datorită executării concomitente (în paralel) a fazelor de citire și adunare modulo  $q$  a conținutului celulelor, în care se păstrează semnalele actuale de test. Astfel, timpul de executare a unei iterații de test (pentru dispozitivul propus) se va micșora de două ori în comparație cu timpul caracteristic soluției tehnice apropiate [2].

10 În fig. 1 este prezentată schema structurală a dispozitivului propus; în fig. 2 – diagramele de funcționare în timp a dispozitivului.

Dispozitivul propus este compus din registrul de sincronizare 1, un grup de contoare 2, memoria operativă 3, sumatorul modulo  $q$  4, registrul 5, un grup de comutatoare 6, trei porți logice SAU 7, 8 și 9, o poartă logică ȘI 10, un multiplexor 11, intrările de resetare 12, de sincronizare 13, de date 14 și 15 (v. fig. 1).

15 Intrarea de tact 13 este unită cu intrarea de tact C a registrului de sincronizare 1, cu intrarea a doua a primei porți logice SAU 7, cu intrarea (directă) a porții trei SAU 9 și cu intrarea de selectare  $CE_B$  a portului doi (numit B) al memoriei 3, intrarea de resetare 12 comunică cu intrările de resetare R ale registrului de sincronizare 1 și contoarelor grupei 2, cu intrările de comutare DC ale comutatoarelor grupei 6 și cu intrarea de comutare S a multiplexorului 11, cu intrarea a doua a porții logice ȘI 10, cu intrarea inversată a porții doi SAU 8, cu intrarea de citire-înscrisere  $R/W_A$  a primului port (numit A) al memoriei 3, prima intrare de date 14 este intrarea In a comutatorului 6.1, iar a doua intrare de date 15 – prima intrare a multiplexorului 11, ieșirea căruia este conectată la intrarea In a comutatorului 6.2, iar a doua intrare – la ieșirea registrului 5, intrarea DI a căruia este conectată cu ieșirea sumatorului modulo  $q$ , o intrare a căruia este conectată la ieșirea comutatorului 6.1, iar cealaltă intrare – la ieșirea comutatorului 6.2, intrarea bidirecțională BI a căruia este conectată la ieșirea portului doi  $IO_B$  al memoriei 3, ieșirea  $IO_A$  a primului port al memoriei 3 este conectată la intrarea bidirecțională BI a comutatorului 6.1, intrarea de adrese A a primului port – la ieșirea contorului 2.1, intrarea de adrese B a portului doi – la ieșirea contorului 2.2, intrarea de selectare  $CE_A$  a primului port – la ieșirea porții logice SAU 7 și la intrarea directă a porții logice SAU 8, intrările de permitere  $OE_A$  și  $OEB$  ale porturilor memoriei 3 sunt conectate la ieșirea porții logice SAU 8, iar intrarea de citire-înscrisere  $R/W_B$  a portului doi – la ieșirea porții logice ȘI 10, prima intrare a căreia este conectată la ieșirea porții logice SAU 9, intrarea inversată a căreia este conectată la intrarea de tact C a registrului 5, la prima intrare a porții logice SAU 7, la intrările de tact C ale contoarelor grupului 2 și la ieșirea registrului de sincronizare 1.

20 Registrul de sincronizare 1 efectuează divizarea (la 2) a frecvenței semnalului de tact de la intrarea 13 a dispozitivului și poate fi realizat, de exemplu, pe un bistabil din componența microcircuitului K1564 ТМ2 [Нефедов А.В. Интегральные микросхемы и их зарубежные аналоги. Т. 11 К1564: Справочник.- Радио Софт, 2000, 512 стр. (ISBN 5-93037-049-4)], intrările de resetare și de tact ale căruia sunt respectiv intrările de resetare și de tact ale registrului, ieșirea directă – ieșirea registrului 1, iar ieșirea inversată este conectată la intrarea de date a bistabilului; intrarea de setare S a bistabilului, neimplicată în funcționarea dispozitivului, pentru certitudine se va conecta printr-o rezistență de 1 kΩ la sursa  $\log. '1'$ .

25 Contoarele grupului 2 sunt dispozitive cunoscute și pot fi construite pe baza microcircuitelor K1554 ИЕ10 [Нефедов А.В. Интегральные микросхемы и их зарубежные аналоги. Т. 11 К1564: Справочник.- Радио Софт, 2000, 512 стр. (ISBN 5-93037-049-4)], asigurând generarea valorilor din intervalul  $[0 \dots N-1]$ , unde  $N=2^k$ ,  $k$ - binaritatea contorului (numărul de linii de adrese ale unui port al memoriei 3).

30 Memoria operativă 3 cu binaritatea cuvintelor de  $m$  biți ( $m>1$  și  $q=2^m$ ) este unitatea care se testează și reprezintă un microcircuit de memorie operativă (statică) biport cunoscut, de exemplu, microcircuitul CY7C008V [www.cypress.com] (sau IDT70007S/L [www.idt.com]).

35 Sumatorul modulo  $q$  4 este un dispozitiv specializat, care le pune celor două cuvinte de intrare de binaritatea  $m$  (fiecare) în corespondență un cuvânt de binaritatea  $m$ . Sumatorul 4 poate fi construit conform descrierii celei mai apropiate soluții.

40 În calitate de registru 5 poate fi folosit, de exemplu, registrul cu microcircuitul K1554 ИР23 [Нефедов А.В. Интегральные микросхемы и их зарубежные аналоги. Т. 11 К1564: Справочник - Радио Софт, 2000, 512 стр.], la care intrarea de permitere este conectată la logic '0'.

45 În calitate de comutatoare din grupul 6 pot fi folosite, de exemplu, microcircuitele К589АП16 [Микропроцессоры и микропроцессорные комплекты интегральных микросхем: Справочник в 2 т.

## MD 2292 F1 2003.10.31

5

/В.-Б.Б. Абрайтис, Н.Н. Аверьянов, А.И. Белоус; Под ред. В.А. Шахнова - М: Радио и связь, 1988 - Т1].

În calitate de poartă logică ȘI 10 poate fi folosită poarta ȘI din componența microcircuitului K1564ЛИ1 [Нефедов А.В. Интегральные микросхемы и их зарубежные аналоги. Т. 11 K1564: Справочник - Радио Софт, 2000, 512 стр. (ISBN 5-93037-049-4)]; ca porți SAU 7, 8 și 9 – porțile SAU din microcircuitul K164ЛЛ1 [Нефедов А.В. Интегральные микросхемы и их зарубежные аналоги. Т. 11 K1564: Справочник - Радио Софт, 2000, 512 стр.], în calitate de invertori – invertorii din microcircuitul K1564ЛН1 [Нефедов А.В. Интегральные микросхемы и их зарубежные аналоги. Т. 11 K1564: Справочник - Радио Софт, 2000, 512 стр. (ISBN 5-93037-049-4)]. Multiplexorul 11 poate fi construit pe baza microcircuitului K1564 ТМ2 [Нефедов А.В. Интегральные микросхемы и их зарубежные аналоги. Т. 11 K1564: Справочник - Радио Софт, 2000, 512 стр. (ISBN 5-93037-049-4)], intrarea de permitere a căruia se va conecta la sursa log. '0'.

Registrul de sincronizare este destinat generării semnalelor de comandă la componentele dispozitivului de autotestare pseudolineară. Grupa 2 de contoare este destinată generării separate a adreselor pe ambele porturi ale memoriei 3 testate. Registrul 5 este destinat păstrării valorii curente a sumei modulo  $q$ .

Dispozitivul funcționează în modul următor.

La conectarea sursei de alimentare stările registrelor, contorului și a celulelor de memorie pot fi arbitrare.

20 Stările inițiale definite de combinațiile 00, 01 și 11 ale automatului virtual, conform metodei de testare [1], se înscriu în primele două celule ale memoriei 3. Pentru realizarea acestui procedeu se vor folosi intrările de date 14 și 15. La intrarea 14 va fi aplicată, de exemplu, valoarea din poziția extremă din dreapta (LSB) a combinației de test, iar la intrarea 15 – valoarea din poziția extremă din stânga (MSB).

25 În momentul inițial de timp la intrarea de sincronizare 13 se instalează nivelul logic '1' și la intrarea de resetare 12 – nivelul logic '0'. Nivelul log. '0' al semnalului de resetare resetează contorul 2.1, setează contorul 2.2 în starea 1, comutează prima intrare a multiplexorului 11 la ieșirea acestuia, comutând astfel, datele de la intrarea 15, și intrările comutatoarelor grupei 6 la intrările bidirecționale ale acestora.

Astfel dispozitivul de testare se instalează în starea inițială.

30 Prin generarea impulsurilor de sincronizare la intrarea 13 (fig. 2) se trece la executarea iterației de test. Iterația de test conține subiterația a câte două tacte.

35 Iterația de test începe (v. tactul 0, fig. 2) cu înscrierea valorilor inițiale ale combinației de test în celule de memorie, adresele cărora sunt indicate de stările contoarelor grupei 2, adică pe adresele 0 și 1. Astfel, în celula de memorie situată pe adresa 0 se va înscrie valoarea LSB (de la intrarea 14) și în celula pe adresa 1 – valoarea MSB (de la intrarea de date 15). Prin aceasta automatul virtual se instalează (setează) în starea inițială.

40 Menținând semnalul de resetare în starea log. '0' se înscriu valorile LSB și MSB ale combinației de test prin generarea impulsului (negativ) la intrarea de sincronizare 13. Acest impuls de tact (v. tactul 0, fig.2) trece prin poarta SAU 7 spre intrările de selectare a porturilor memoriei 3; frontul aposterior (trecerea din log. '0' în log. '1') al semnalului de tact va înscrie datele de la intrările 14 și 15 în celule de stări ale contoarelor grupei 2. Procedeu de înscriere, controlat de semnalul de selectare, finalizează prin trecerea semnalului de resetare în starea log. '1'.

45 În tactul 1 al iterației de test se citesc concomitent (paralel) valorile înscrise în primele celule, 0 și 1, ale memoriei 3. În acest tact, conform diagramelor prezentate în fig.2, semnalul de tact (nivelul log. '0') trece prin poarta logică SAU 12 spre intrările de permitere ale porturilor memoriei 3, prin poarta ȘI 10 spre intrarea de selectare a primului port al memoriei 3 și prin poarta logică SAU 13 spre intrarea de selectare a portului doi al memoriei 3. Tranziția (frontul) pozitivă a semnalului de tact comutează registrul 1 în starea complementară (precedentă); frontul pozitiv al acesteia se deplasează spre intrarea de tact a registrului 5, înscriind astfel rezultatul sumei modulo  $q$  (de la ieșirea sumatorului 4) a valorilor citite din celulele selectate ale memoriei 3.

50 Registrul 1 trece în starea log. '1'. Prin aceasta are loc incrementul contoarelor grupei 2, comutarea intrărilor comutatorului 6.2 la intrările bidirecționale ale acestuia și finalizarea ciclului de citire a datelor din memoria 3.

55 În tactul 2 sunt activate semnalele de permitere și de citire din portul doi al memoriei 3; începe ciclul de înscriere a datelor în celula memoriei 3, adresa căreia  $i+2$  este indicată de starea (valoarea de ieșire) contorului doi 2.2. Trecerea semnalului de tact în starea log. '1' finalizează ciclul de înscriere a datelor în memoria 3 și comutează registrul 1 în starea complementară (adică la ieșirea registrului 1 apare semnalul log. '0').

Tactul 3 este identic cu primul tact al iterației de test.

60 Tactele 2 și 3 sunt esența unei subiterații de test. Subiterațiile de test se repetă de  $N-1$  ori, unde  $N$  – capacitatea matricei memoriei operative 3. În subiterația finală (v. tactele  $2N-2$  și  $2N-1$ , fig.2)

## MD 2292 F1 2003.10.31

6

rezultatul sumei modulo  $q$  se înscrie în ultima celulă a memoriei 3 (tactul  $2N-2$ ). În acest tact starea contorului 2.2 atinge valoarea maximă (egală cu capacitatea matricei memoriei 3) și la ieșirea de report (care nu este indicată în fig.1) a contorului apare semnalul log. '0'. Apoi, în tactul  $2N-1$ , are loc citirea pe ambele porturi ale memoriei 3 a stărilor ultimelor două celule ale memoriei 3.

5 Aceste stări se compară cu cele așteptate și în caz de necoincidență se acceptă ipoteza că unitatea de testare, adică memoria operativă 3, este defectată. În caz contrar, conform [1], se efectuează alte iterații de test cu alte combinații inițiale din cele predeclarate.

Odată cu trecerea semnalului de la prima ieșire a registrului 1 din log. '0' în log. '1' are loc incrementarea contoarelor grupeii 2, iar la ieșirea de report (nu este indicată în fig.1) a contorului 2.2 are loc transformarea semnalului din log. '0' în log. '1', ceea ce poate fi folosit în calitate de indicator al finalizării iterației de test.

Sugestiv iterația de testare poate fi prezentată abstract în modul următor:

PortA:  $W0$      $R0$     -     $R1$     -     $R2$     ...     $RN-3$     -     $RN2$   
 PortB:  $W1$      $R1$      $W2$      $R2$      $W3$      $R3$     ...     $RN-2$      $WN-1$      $RN-1$

15 unde  $W(.)$  – înscrierea datelor pe adresa  $(.)$  și  $R(.)$  – citirea datelor.

Pentru a estima combinația de semnale așteptată, citite din celule cu adresele  $N-2$  și  $N-1$ , poate fi folosită următoarea formulă iterativă:

$$v^{(i+1)} = v^{(i)}S, \quad i=0, N-3 \quad (1)$$

20 unde  $v = \langle x_1, x_2, \dots, x_r \rangle$  - reprezintă stările registrului virtual în momentul  $i$ , iar matricea caracteristică  $S$  este:

$$S = \begin{bmatrix} g_1 & 1 & 0 & 0 \\ g_2 & 0 & 1 & 0 \\ \dots & \dots & \dots & \dots \\ g_r & 0 & 0 & 0 \end{bmatrix},$$

unde  $g_1, \dots, g_r$  - elementele câmpului Galois extins,  $g_j \in [0 \dots 2^m - 1], j=1 \dots r$ .

Notă: operațiile din (1) se execută în câmpul Galois extins.

Deci, pentru  $N-2$  tacte ale iterației de test combinația așteptată va fi estimată în modul următor:

25 
$$v^{(N-2)} = v^{(0)} S^{N-2} \quad (2)$$

În particular, pentru câmpul Galois extins cu numărul de grade de libertate  $r=2$  și caracteristica  $q=2^m$ , avem:

$$\langle x_1(N-2), x_2(N-2) \rangle = \langle x_1(0), x_2(0) \rangle \begin{bmatrix} g_1 & 1 \\ g_2 & 0 \end{bmatrix}^{N-2} \quad (3)$$

30 unde  $x_1$  – LSB și  $x_2$  – MSB ale registrului virtual;  $g_1, g_2 \in [0 \dots 2^m - 1]$ .

De exemplu, pentru memoria CY7C138AV cu celule de binaritate  $m=8$  elementele  $g_1$  și  $g_2$  din (3) se aleg egale cu 1 și 2, respectiv. Deoarece matricea microcircuitului de memorie CY7C008V are capacitatea de 64 KO (kilooceteți), valoarea exponentei matricei  $S$  din (2) va fi egală cu  $N-2=65536-2=65534$ . În aceste condiții, pentru combinațiile inițiale de test (0,0), (0,1), (1,1) de formatul (MSB, LSB), combinațiile de test așteptate vor fi respectiv  $\langle 0,0 \rangle$ ,  $\langle 0,225 \rangle$  și  $\langle 1,0 \rangle$ . Aceste combinații au fost estimate din relația (3) pentru  $N-2 = 65534$ .

35 Combinațiile inițiale 00, 01 și 11 asigură necoincidența valorilor (stărilor) registrului automatului virtual în celula  $i$  la executarea celor 3 iterații de test. Aceasta, la rândul său, este condiția necesară și suficientă pentru a detecta orice defect constant (de tip blocat) al celulelor de memorie.

40 Astfel aplicarea dispozitivului propus permite efectuarea autotestării pseudoinelare a microcircuitelor de memorie operativă biportuală. Rezoluția testării în raport cu defectările constante ale celulelor de memorie este egală cu 100%, iar complexitatea algoritmului de autotestare estimată pentru fiecare din cele 3 iterații de testare este de  $2(N-1)$  (unități de tact), unde  $N$  - capacitatea matricei memoriei testate.

# MD 2292 F1 2003.10.31

7

## (57) Revendicare:

5 Memorie operativă biport cu autotestare ce conține un registru de sincronizare, a cărei intrare de  
sincronizare constituie intrarea de sincronizare a dispozitivului, un contor, intrarea de resetare a căruia  
este conectată la intrarea de resetare a registrului de sincronizare și la intrarea de resetare a dispozitivului,  
intrarea de adrese a primului port al memoriei operative biport este conectată la ieșirea contorului, un  
sumator modulo  $q$ , un registru, un comutator, intrarea bidirecțională a căruia este conectată la ieșirea  
10 primului port al memoriei operative, trei porți logice SAU și o poartă logică ȘI, **caracterizată prin aceea**  
**că** ea este dotată suplimentar cu al doilea contor, care împreună cu primul formează un grup de contoare,  
ieșirea căruia este conectată la intrarea de adrese a portului doi al memoriei operative, cu al doilea  
comutator care împreună cu primul comutator formează un grup de comutatoare, intrarea bidirecțională a  
căruia este conectată la ieșirea portului doi al memoriei operative, ieșirea – la o intrare a sumatorului  
15 modulo  $q$ , cealaltă intrare a căruia este conectată la ieșirea primului comutator, intrarea căruia este prima  
intrare de date a dispozitivului, cu un multiplexor, prima intrare a căruia este a doua intrare de date a  
dispozitivului, ieșirea fiind conectată la intrarea comutatorului doi, a doua intrare – la ieșirea registrului,  
intrarea căruia este conectată cu ieșirea sumatorului modulo  $q$ , iar intrarea de tact – la ieșirea registrului  
de sincronizare, la intrările de tact ale contoarelor grupului, la intrarea inversă a porții a treia SAU, la o  
20 intrare a primei porți logice SAU, cealaltă intrare a căreia este conectată la intrarea de sincronizare a  
dispozitivului, la intrarea directă a porții a treia SAU și la intrarea de selectare a portului doi al memoriei  
operative, intrarea de selectare a primului port al memoriei este conectată la ieșirea primei porți SAU și la  
intrarea directă a porții a doua SAU, ieșirea căreia este conectată la intrările de permitere a porturilor  
memoriei operative, intrarea de înscriere-citire a portului doi al memoriei este conectată la ieșirea porții  
25 logice ȘI, o intrare a căreia este conectată la ieșirea porții a treia SAU, iar cealaltă intrare – la intrarea  
inversată a porții a doua SAU, la intrarea de citire-înscriere a primului port al memoriei, la intrarea de  
resetare a contorului doi, la intrarea de resetare a dispozitivului și la intrările de comutare ale  
comutatoarelor și multiplexorului.

30

## (56) Referințe bibliografice:

1. MD 1240 G 1999.05.31
2. MD 1995 G 2002.08.31

Șef Secție:	NEKLIUDOVA Natalia
Examinator:	NASTAS Xenia
Redactor:	CANȚER Svetlana

# MD 2292 F1 2003.10.31

8

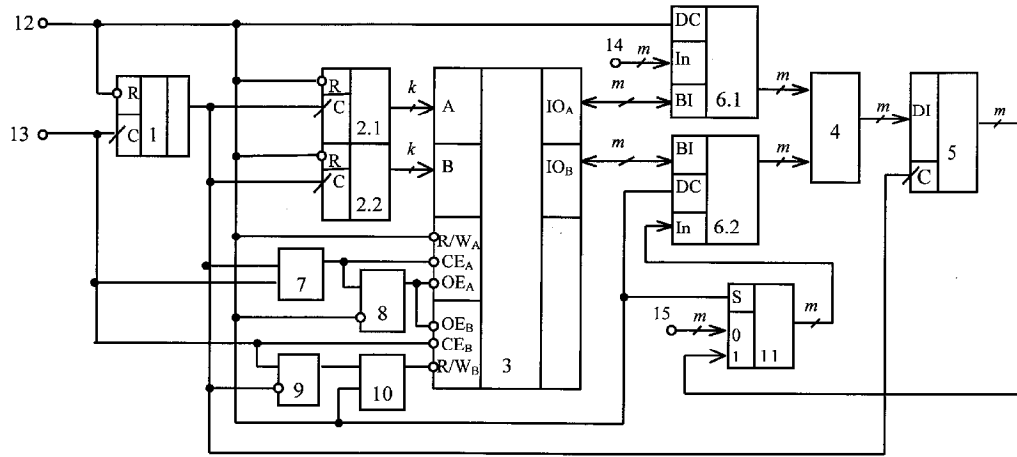


Fig. 1

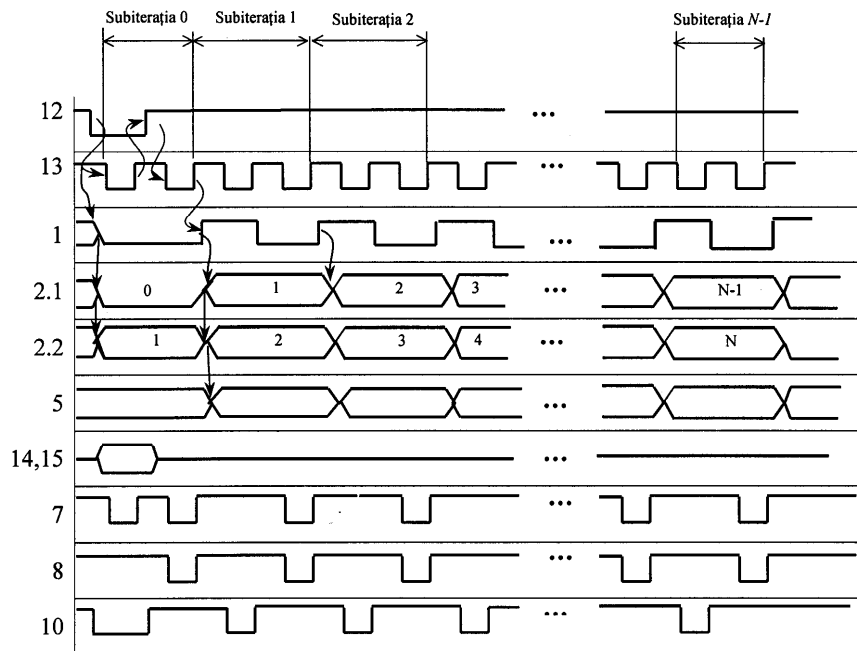


Fig. 2