

Invenția se referă la tehnica de calcul și microelectronică, și poate fi aplicată la producerea și exploatarea circuitelor supraîntegrate cu mijloace compacte încorporate de testare și diagnosticare.

Este cunoscut analizatorul de semnături care conține un registru de deplasare, o poartă logică XOR, la intrările căruia sunt conectate ieșirile pozițiilor registrului în corespundere cu structura polinomului  $p(x)$ , o intrare de date și o intrare de sincronizare [Ярмолик В.Н., Контроль и диагностика цифровых ЭВМ . Мн.: Наука и техника, 1998].

Este cunoscută metoda de testare, numită autotestare pseudoinelară (sau  $\pi$ -testare) a dispozitivelor de memorie operativă cu celule logice unipoziționale care constă în aceea că numărul semnalelor de test se alege egal cu cel al stărilor stabile diferite ale unei celule de memorie la începutul iterației de test primul și al doilea semnale de test se înscriu corespunzător în primele două celule ale dispozitivului de capacitatea  $m(m$ -numărul de celule), apoi se repetă de  $m-2$  ori următoarele operații: se citește și se adună modulo doi (operația logică XOR) conținutul celulelor, în care se păstrează semnalele actuale de test, apoi al doilea semnal de test este interpretat în calitate de primul semnal de test, iar rezultatul adunării modulo doi este interpretat în calitate de al doilea semnal de test, se înscrie al doilea semnal de test în următoarea celulă a dispozitivului de memorie operativă; se compară combinația rezultantă de semnale de test cu cea de control și în cazul de coincidență se efectuează iterațiile de test cu alte combinații inițiale nenule ale valorilor semnalelor de test până la prima necoinidență a combinației rezultante cu cea de control și în caz de necoinidență se decide că dispozitivul de memorie operativă este defectat [1].

Dezavantajul acestei metode constă în aceea că nu asigură detectarea defectărilor cuplului.

Cel mai apropiat analog după esența tehnică și efectul obținut este dispozitivul de autotestare a memoriei operative care conține un registru de sincronizare, o grupă de trei contoare, memoria operativă (RAM-ul), o grupă de bistabili, un element logic XOR, ieșirea căruia este conectată la intrarea de date a memoriei, o intrare este conectată la ieșirea bistabilului doi al grupei, iar cealaltă intrare – la ieșirea primului bistabil al grupei, intrarea de resetare a căruia este conectată cu intrarea de resetare a bistabilului doi al grupei, cu intrările de resetare ale contoarelor grupei, cu intrarea de resetare a registrului de sincronizare și cu intrarea de resetare a dispozitivului, intrarea de sincronizare este conectată cu intrarea de sincronizare a bistabilului doi al grupei, cu intrarea de selectare a memoriei, cu intrarea de sincronizare a registrului de sincronizare și cu intrarea de sincronizare a dispozitivului, intrarea de date este conectată cu intrarea de date a bistabilului doi al grupei și cu ieșirea de date a memoriei, intrările de adrese ale căreia sunt conectate respectiv cu ieșirile informaționale ale contoarelor grupei, intrarea de citire-înscrisere – cu intrarea de permitere a controlului trei al grupei și cu ieșirea a patra a registrului, ieșirea a treia a căruia este conectată cu intrările de sincronizare ale contoarelor grupei, ieșirea a doua – cu intrarea de permitere a contorului doi al grupei și cu intrarea de permitere a bistabilului doi al grupei, prima ieșire – cu intrarea de permitere a primului contor al grupei și cu intrarea de permitere a primului bistabil al grupei [2].

Dezavantajul dispozitivului constă în nedetectarea defectărilor cuplului de celule adiacente.

Problema pe care o rezolvă invenția constă în mărirea rezoluției testării dispozitivelor de memorie operativă.

Rezultatul tehnic, care poate fi obținut prin realizarea invenției, constă în autotestarea dispozitivului de memorie operativă cu rezoluția absolută de 100% pentru defectările cuplului. Acest rezultat se obține datorită faptului că o

$$R_{\pi} = \sum_{i=1}^{m+1} \frac{2^{m-i+1}}{2^{m+1} - 1},$$

parte din defectări sunt detectate prin  $\pi$ -testare cu rezoluția iar restul defectărilor (care n-au fost detectate prin  $\pi$ -testare) sunt detectate de analizorul de semnături cu rezoluția cunoscută și egală cu  $R_{SA}=1-2^{-n}$  per iritație, unde  $m$  – binaritatea registrului virtual în metoda de  $\pi$ -testare,  $n$  – binaritatea registrului analizatorului de semnături. Cu fiecare iterație numărul de defectări rămase se micșorează de  $2^m$  sau  $2^n$  ori, astfel încât la finele testării se atinge valoarea absolută de 100% a rezoluției.

(Bineînțeles că în fiecare iterație de  $\pi$ -testare și analiză de semnături există o submulțime de defectări detectate în comun).

Esența invenției constă în aceea, că în memoria operativă cu autotestare, care conține un registru de sincronizare, un contor, intrarea de incrementare-decrementare a căruia este conectată cu a patra ieșire a registrului, o memorie operativă, intrarea de adrese a căreia este conectată cu ieșirea contorului, o grupă de bistabili, care conține doi bistabili – primul și al doilea, intrările de resetare ale cărora sunt conectate cu intrarea de resetare a contorului, cu intrarea de resetare a registrului și cu intrarea de resetare a dispozitivului, intrările de sincronizare ale cărora sunt conectate cu intrarea de selectare a memoriei și cu intrarea de sincronizare a dispozitivului, iar intrările de permitere a bistabililor grupei sunt conectate respectiv cu prima și a doua ieșire ale registrului, o poartă logică XOR, intrările căreia sunt conectate cu ieșirile bistabililor grupei suplimentar sunt incluse un bistabil de reținere, cinci porți logice SAU – prima, a doua, a treia, a patra și a cincia, un multiplexor și un analizor de semnături, intrarea de resetare a căruia este conectată cu intrarea de resetare a dispozitivului, iar ieșirea – cu a doua intrare a multiplexorului, prima intrare al căruia este conectată cu ieșirea porții logice XOR, iar ieșirea – cu intrarea de date a memoriei operative, ieșirea căreia este conectată cu prima intrare a porții a cincia logice SAU, ieșirea căreia este conectată cu intrările de date a bistabililor grupei și cu intrarea de date a analizorului de semnături, intrarea de sincronizare a căruia este conectată cu ieșirea porții a patra logice SAU, prima intrare directă a căreia este conectată cu intrarea de sincronizare a dispozitivului, iar a doua intrare (inversă) – cu intrarea de citire-înscrisere a memoriei operative și cu ieșirea porții a treia logice SAU, prima intrare a căreia este conectată cu a patra ieșire a registrului de sincronizare, ieșirea a treia a căruia este conectată cu una din intrările porții a doua logice SAU, cealaltă intrare a căreia este conectată cu intrarea de sincronizare a dispozitivului, iar ieșirea – cu intrarea de sincronizare a contorului, ieșirea de

report a căruia este conectată cu intrarea de sincronizare a bistabilului de reținere, intrarea de date a căruia este conectată cu sursa logic „0”, intrarea de setare – cu intrarea de resetare a dispozitivului, iar ieșirea – cu intrarea de control a multiplexorului, cu a doua intrare a porții cinci logice SAU, cu a doua intrare a porții a treia logice SAU, cu a doua intrare a primei porții logice SAU, ieșirea căreia este conectată cu intrarea de sincronizare a registrului, iar prima intrare – cu intrarea de sincronizare a dispozitivului.

În fig. 1 este prezentată schema de structură a dispozitivului propus; în fig. 2 – schema electrică a registrului de sincronizare; în fig. 3 – diagramele de timp de funcționare a dispozitivului.

Dispozitivul propus este compus din registrul 1 de sincronizare, contorul 2, memoria 3 operativă, o grupă de bistabile 4, o poartă logică 5 XOR, intrările 6 de resetare și 7 de sincronizare, bistabilul de reținere 8, patru porți logice SASU – prima 9, a doua 10, a treia 11, a patra 12 și a cincia 13, multiplexorul 14, analizatorul 15 (v. fig. 1).

Intrarea de sincronizare 7 este conectată cu intrarea de selectoare a memoriei 3, cu intrările de sincronizare a bistabililor grupei 4, cu primele intrări ale porților logice 9, 10 și 12 SAU, intrarea de resetare 6 este conectată cu intrările de resetare a registrului 1, a contorului 2, a analizatorului 15 și intrarea de setare a bistabilului 8, intrarea de date al căruia este conectată la sursa de logic „0”, intrarea de sincronizare – la ieșirea de report a contorului 2, iar ieșirea – cu intrarea de control a multiplexorului 14, cu a doua intrare a porții logice 13 SAU, a porții logice 11 SAU și a porții logice 9 SAU, ieșirea căreia este conectată cu intrarea de sincronizare a registrului 1, prima ieșire al căruia este conectată cu intrarea de permitere a primului bistabil 4.1 al grupei 4, a doua ieșire – cu intrarea de permitere a bistabilului doi 4.2 al grupei 4, a treia ieșire – cu a doua intrare a porții a doua logice 10 SAU și a patra ieșire – cu prima ieșire a porții a treia logice 11 SAU și cu intrarea de increment-decrement ( $\pm$ ) a contorului 2, intrarea de sincronizare al căruia este conectată cu ieșirea porții a doua logice 10 SAU, ieșirea de raport – cu intrarea de sincronizare a bistabilului de reținere 8, iar ieșirea de date – cu intrarea de adrese a memoriei 3, intrarea de citire-înscrisoare a căreia este conectată cu ieșirea porții a treia logice 11 SAU și cu intrarea a doua de inversare a porții a patra logice 12 SAU, ieșirea căreia este conectată cu intrarea de sincronizare a analizatorului 15, ieșirea căruia este conectată cu a doua intrare (de date) a multiplexorului 14, prima intrare (de date) al căruia este conectată cu ieșirea porții 5 XOR, iar ieșirea este conectată cu intrarea de date a memoriei 4, ieșirea căreia este conectată cu prima intrare a porții logice 13 SAU, ieșirea căreia este conectată cu intrările de date a analizatorului de semnături 15, a bistabililor grupei 4, ieșirile căroră sunt conectate la intrările porții logice 5 XOR.

Registrul de sincronizare realizează deplasarea ciclică a unității logice (pe fonul zerourilor) și poate fi implementat, de exemplu, conform schemei prezentată în fig. 2 și conține patru bistabili: 1.1, 1.2, 1.3, 1.4, ieșirile căroră sunt ieșirile registrului 1, totodată, ieșirea bistabilului 1.4 este conectată cu intrarea de date a bistabilului 1.1, ieșirea căruia este conectată cu intrarea de date a bistabilului 1.2, ieșirea căruia este conectată cu intrarea de date a bistabilului 1.3, ieșirea căruia este conectată cu intrarea de date a bistabilului 1.4, intrarea de sincronizare al căruia este conectată cu intrările de sincronizare ale bistabililor 1.1, 1.2, 1.3 și cu intrarea de sincronizare a registrului 1, iar intrarea de resetare – cu intrările de resetare ale bistabililor 1.2 și 1.3, cu intrarea de setare a bistabilului 1.1 și cu intrarea de resetare a registrului 1.

În calitate de bistabilii 1.1, 1.2, 1.3, 1.4 și bistabilul de reținere 8 pot fi folosiți D-bistabilii din componența microcircuitului K1531TM2 (v.[Нефедов А.В. Интегральные микросхемы ТТЛ.-М.: Аргус, 1999]).

Contorul 2 este un dispozitiv cunoscut și poate fi construit pe baza microcircuitelor K1531 ИЕ17 (v.[Нефедов А.В. Интегральные микросхемы ТТЛ.-М.: Аргус, 1999]).

Memoria operativă 3 cu binaritatea celulelor de 1 bit este unitatea care se testează și reprezintă un microcircuit de memorie operativă (statică) cunoscut, de exemplu, microcircuitul K537PY14 (v.[Микросхемы памяти, ЦАП и АЦП: Справочник / О.Н.Лебедев, А.-И.К.Марцинкявичюс, Э.-А.К.Багданскис и др. – М.:КубК-а, 1996]).

Bistabilii 4.1 și 4.2 ai grupei 4 salvează (înregistrează) datele de la ieșirea memoriei 3. Înregistrarea datelor are loc la tranziția semnalului de sincronizare C din „0” în „1” și a valorii de permitere log. „1” la intrarea de permitere E. Bistabilii grupei 4 pot fi implementați, de exemplu conform schemei prezentată în fig. 4. Un bistabil cu permitere conține o poartă logică 16 SAU și un bistabil 17, ieșirea căruia este ieșirea bistabilului cu permitere, intrările de resetare și de date – respectiv intrările de resetare și de date a bistabilului de permitere, iar intrarea de sincronizare este conectată cu ieșirea porții logice 16 SAU, intrarea directă a căreia este intrarea de sincronizare a bistabilului de permitere, iar cea inversă – intrarea de permitere a bistabilului de permitere.

În calitate de bistabilul 17 poate fi folosit D-bistabilul din componența microcircuitului K1531TM2 (v.[Нефедов А.В. Интегральные микросхемы ТТЛ.-М.: Аргус, 1999]). în calitate de porțile logice SAU 9, 10, 11, 12, 13 și 16 – porțile logice SAU din componența microcircuitului K1531 ЛЛ1 (v.[Нефедов А.В. Интегральные микросхемы ТТЛ.-М.: Аргус, 1999]); în calitate de invertor – invertorul din componența microcircuitului K1531 ЛН1 v.[Нефедов А.В. Интегральные микросхемы ТТЛ.-М.: Аргус, 1999].; în calitate de multiplexorul 14 – multiplexorul cu două intrări din componența microcircuitului K 1531 КП1 (v.[Нефедов А.В. Интегральные микросхемы ТТЛ.-М.: Аргус, 1999]).

Analizorul logic este un dispozitiv cunoscut și poate fi construit, de exemplu, conform diagramei, prezentate în fig. 8.2 din (v. [Ярмолик В.Н., Контроль и диагностика цифровых ЭВМ. Мн.: Наука и техника, 1988]). Intrarea de resetare a analizorului este utilizată pentru setarea acestuia într-o stare inițială non zero.

Registrul de sincronizare 1 este destinat pentru generarea semnalelor de control componentelor (unităților) dispozitivului de autotestare. Contorul 2 este destinat pentru generarea adreselor memoriei 3. Binaritatea contorului este egală cu binaritatea liniilor de adrese ale memoriei 3. Analizorul de semnături 15 este destinat pentru generarea stărilor inițiale ale celulelor matricei de memorie 3 și pentru înregistrarea (comprimarea) reacțiilor unității testate,

adică a memoriei operative 3. Bistabilul 8 este destinat pentru menținerea semnalului de înscriere în starea activă la intrarea memoriei 3 în perioada de inițializare a acesteia.

Dispozitivul funcționează în modul următor

La conectarea sursei de alimentare stările bistabililor, registrului, controlului și a celulelor de memorie pot fi arbitrare.

În momentul inițial de timp la intrarea de sincronizare 7 se setează nivelul logic „1” și la intrarea de resetare 6 – nivelul logic „0” (vezi fig. 3). Nivelul logic „0” al semnalului de resetare resetează contorul 2, bistabilele grupei 4 și bistabilele 1.2, 1.3, și 1.4, setează bistabilele 1.1, 8 și analizatorul de semnături 15 în starea Init, unde  $Init \neq 0$ . Semnalul logic „0” de la ieșirea bistabilului 8 închide porțile logice 9 și 13 SAU, instalează log. „1” la ieșirea porții 11 SAU și la intrarea de citire-înscriere a memoriei 3; deschide (prin poarta 11 SAU) poarta 12 SAU, permițând trecerea semnalelor de sincronizare spre analizorul 15, comutează a doua intrare a multiplexorului 14 la ieșirea acestuia.

Semnalul log. „0” la ieșirea 3 a registrului 1 ține poarta 10 SAU deschisă, ceea ce permite trecerea semnalelor de sincronizare spre contorul 2.

Astfel dispozitivul de testare se instalează în starea inițială. Prin generarea impulsurilor de sincronizare la intrarea 7 (v. fig.1) se trece la executarea  $\pi$ -testării memoriei 3.

$\pi$ -testarea constă din iterația de inițializare a celulelor matricei de memorie și iterațiile de test (v.[1]).

Este cunoscut că structura analizorului de semnături urmează structura polinomului ireductibil  $p(x)$  (v. [Ярмолик В.Н. Контроль и диагностика цифровых ЭВМ . МнЮ: Наука и техника, 1998]). Gradul polinomului  $\deg p(x)$  se alege egal cu binaritatea magistralei de adrese a memoriei 3, adică  $k = \deg p(x)$ . Atunci perioada polinomului  $p(x)$  va fi egală cu  $T=N-1$ , unde  $N=2^k$  – capacitatea matricei de memorie. În iterația de inițializare se execută N tacte de sincronizare. Biturile (valorile logice 0 sau 1) generate la ieșirea analizorului 15 se înscriu secvențial în celulele matricei de memorie 3 – semnalul de înscriere-citire al memoriei 3 este în starea „înscriere (write)” (vezi fig. 3).

De exemplu, dacă  $k=3$  și  $p(x) = 1+x+x^3$  și  $Init = \langle x_1 \ x_2 \ x_3 \rangle = \langle 100 \rangle$ , atunci succesiunea generală de analizor va fi cea care este prezentată în linia 8 coloana Out din fig. 5. Valorile logice sunt înscrise în celulele matricei de memorie cu adresele generate de contorul 2. Adresele urmează șirul natural  $0, 1, \dots, 2^k-1$ .

După executarea a  $T$  tacte de sincronizare la ieșire de report a contorului 2 apare semnalul log. „0”, care la finele tactului trece în log. „1” (v. fig.3). Această tranziție resetează bistabilul 8 și, prin urmare, deschide porțile logice 9, 11, 13 SAU și comutează prima intrare la ieșirea multiplexorului 14.

Astfel dispozitivul de testare este pregătit pentru executarea iterațiilor de test.

Conform [1] se execută 3 iterații de test. Iterațiile de test(are) se execută secvențial (non stop). Deoarece capacitatea matricei de memorie  $N$  este un număr par, iar perioada  $T$  – un număr impar, la începutul fiecărei iterații de testare automatul virtual (al  $\pi$ -testării) va avea o stare nouă inițială (non zero) diferită de stările precedente, ceea ce asigură condiția necesară a  $\pi$ -testării (v.[1]).

Iterația de testare constă din subiterații de test a câte patru tacte de sincronizare fiecare.

Subiterația de testare se execută în modul următor.

În primul tact de sincronizare semnalul log. „1” de la prima ieșire a registrului 1 de sincronizare permite înscrierea în primul bistabil 4.1 al grupei 4 a valorii de la ieșirea memoriei 3; valoarea înscrisă (salvată) este conținutul celulei de memorie 3 cu adresa curentă, adică 0.

În tactul doi (contorul 2 s-a incrementat cu o unitate) unitatea logică s-a deplasat în poziția a doua a registrului 1 și semnalul log. „1” de la ieșirea a doua a registrului 1 de sincronizare permite înscrierea în al doilea bistabil 4.2 al grupei 4 a valorii de la ieșirea memoriei 3, care este citită din celula cu adresa curentă egală cu 1.

În tactul trei contorul 2 s-a incrementat cu o unitate (și a devenit egal cu 2), unitatea logică s-a deplasat în poziția a treia a registrului 1 și, la ieșirea porții 5 XOR, se formează rezultatul sumei modulo 2 a valorilor citite din celulele memoriei 3.

În tactul patru semnalul log. „1” de la ieșirea a patra a registrului 1 schimbă direcția contorului 2 spre decrementare, deschide poarta 12 SAU (trecând prin poarta 11 SAU) și trece memoria 3 în starea de înscriere. La venirea frontului pozitiv al semnalului de sincronizare are loc salvarea în analizorul 15 a datelor de la ieșirea memoriei 3, înscrierea valorii de la ieșirea porții 5 XOR în celula memoriei 3 la adresa indicată de contorul 2, adică la adresa 2, și decrementul cu o unitate a contorului 2 (starea curentă a contorului 2 devine egală cu 1). Prin aceasta se finalizează subiterația de test.

Subiterațiile de test se repetă de  $N$  ori, iar iterațiile de test, conform [1], - de 3 ori. La finele iterațiilor de test are loc citirea stărilor registrului analizorului de semnături 15 și a bistabililor grupei 4, care se compară cu cele așteptate. În caz de necoincidență se acceptă ipoteza că unitatea de testare, adică memoria operativă 3, este defectată.

Pentru a estima combinația de semnale așteptată, citite din bistabilele grupei 4, poate fi folosită următoarea formulă iterativă:

$$v(i+1)=v(i)A, \quad i=0, \dots, T, \quad (1)$$

unde  $v = \langle x_1 \dots x_r \rangle$  reprezintă stările bistabililor respective în momentul  $i$ ; iar matricea caracteristică  $A$  este:

$$A_{rxr} = \begin{bmatrix} g_1 & 1 & 0 & \cdots & 0 \\ g_2 & 0 & 1 & \cdots & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ g_r & 0 & 0 & \cdots & 0 \end{bmatrix} \quad (2)$$

unde  $g_1, g_2, \dots, g_r$  sunt coeficienții polinomului  $g(x)$  care descriu structura automatului virtual al  $\pi$ -testării.

Notă: operațiile din (1) se execută asupra câmpului Galois GF(2).

Conform [1] este suficient ca  $r=2$ , atunci  $g(x)=1+x+x^2$  și matricea (2) devine egală cu:

$$A_{2 \times 2} = \begin{bmatrix} 1 & 1 \\ 1 & 0 \end{bmatrix} \quad (3)$$

În momentul  $i=0$  componentele vectorului  $v(0)$  sunt egale cu stările primelor  $r=2$  celule ale memoriei 3. În particular, pentru exemplul analizat, avem  $v(0)=\langle 0 \ 1 \rangle$  și

$$v(T) = v(0)A^T \quad (3)$$

ori

$$v(7) = \langle 0 \ 1 \rangle \begin{bmatrix} 1 & 1 \\ 1 & 0 \end{bmatrix}^7 = \langle 1 \ 1 \rangle \quad (4)$$

Determinarea stării așteptate a analizorului 15 poate fi efectuată ori prin simularea dispozitivului de autotestare ori printr-un calcul complex.

În calculul semnăturii așteptate, în primul rând, este estimată semnătura după iterația de inițializare a memoriei operative și, apoi, semnăturile iterațiilor de test. Semnătura  $S$  iterației de inițializare este calculată conform formulei:

$$S(i+1)=S(i) \cdot B, \quad i=0, \dots, T, \quad (5)$$

unde  $S=\langle x_1 \dots x_k \rangle$  reprezintă stările analizorului de semnături 15 în momentul  $i$ ,  $i=0, \dots, T$ , iar matricea caracteristică  $B$  este egală cu:

$$B_{k \times k} = \begin{bmatrix} p_1 & 1 & 0 & \cdots & 0 \\ p_2 & 0 & 1 & \cdots & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ p_k & 0 & 0 & \cdots & 0 \end{bmatrix},$$

unde  $p_1, \dots, p_k$  sunt coeficienții polinomului  $p(x) = \sum_{i=0}^k p_i x^i$ .

Pentru calculul semnăturilor iterațiilor de test se va folosi varianta modificată a formulei (5), și anume:

$$S(i+1)=v^*(i)+S(i) \cdot B, \quad i=r, \dots, T, \quad (6)$$

unde  $v_{1 \times k}^* = \langle d \ 0 \ \cdots \ 0 \rangle$  este vectorul datelor  $d$  citire din memoria 3 în momentul  $i$ .

Valoarea  $d$  este prima componentă a vectorului  $v(i)$  din (1) în momentele  $i=r, \dots, T$ .

Pentru exemplul analizat cu  $p(x)=1+x+x^3$  avem matricea:

$$B = \begin{bmatrix} 1 & 0 \\ 0 & 0 & 1 \\ 1 & 0 & 0 \end{bmatrix}$$

Acceptând că  $S(0)=\langle 1 \ 0 \ 0 \rangle$ , pentru celea  $N=2^3=8$  tacte de sincronizare, conform (5) la finele iterației de inițializare avem următoarea valoare a semnăturii așteptate:

$$S(8) = S(0) \cdot B^8 = \langle 1 \ 0 \ 0 \rangle \begin{bmatrix} 1 & 1 & 0 \\ 0 & 0 & 1 \\ 1 & 0 & 0 \end{bmatrix}^8 = \langle 0 \ 1 \ 0 \rangle$$

Pentru prima iterație de test I, pentru care  $v_1(0)=\langle 0 \ 1 \rangle$ , la ieșirea memoriei 3 sunt așteptate valorile logice  $D=[1, 0, 1, 1, 0, 1]$  respectiv în momentele de timp  $i=2, \dots, 8$ . Valoarea așteptată a semnăturii pentru acest șir de bituri va fi calculată după formula (6). Luând în considerație rezultatul (7), avem:

$$S_i(i) = \langle d_i \ 0 \rangle + \langle 0 \ 1 \ 0 \rangle \begin{bmatrix} 1 & 1 & 0 \\ 0 & 0 & 1 \\ 1 & 0 & 0 \end{bmatrix}^{i-1}, \quad i=2, \dots, 8, \quad (8)$$

unde  $d_i$  ia valori din șirul  $D_I$ . Aplicând (8), pentru prima iterație de test avem următoarea semnătură  $S_I$  așteptată:  
 $S_I = \langle 1 \ 1 \ 1 \rangle$ .

În modul analog se va calcula valoarea așteptată a semnăturii la finele iterației a doua de test II. Avem:

$$v_{II}(0) = \langle 1 \ 0 \rangle, \quad D_{II} = [1, 1, 0, 1, 1, 0] \text{ și } S_{II}(i) = \langle d_i \ 0 \rangle + S_I \cdot B^{i+1},$$

unde  $d_i$  ia valori din  $D_{II}$ ,  $i=1, \dots, 8$ . În rezultatul calculului se obține:

$$S_{II} = \langle 0 \ 0 \ 0 \rangle.$$

Pentru calculul semnăturii iterației trei de test III datele inițiale sunt:

$$v_{III}(0) = \langle 1 \ 1 \rangle, \quad D_{III} = [0, 1, 1, 0, 1, 1] \text{ și } S_{III}(i) = \langle d_i \ 0 \rangle + S_{II} \cdot B^{i+1},$$

unde  $d_i$  ia valori din  $D_{III}$ ,  $i=2, \dots, 8$ . Avem semnătura:

$$S_{III} = \langle 1 \ 0 \ 0 \rangle.$$

Să analizăm modul de detectare a defectărilor (de interinfluență) a cuplului celulelor (adiacente) de memorie  $c_a$  și  $c_v$ , unde  $c_a$  este adresa celulei agresor, iar  $c_v$  - adresa celulei victimă. Defectarea cuplului este definită (specificată) prin tranziția (saltul) stării celulei  $c_v$  la executare operației de citire sau înscriere asupra celulei  $c_a$ . Sunt două cazuri:  $c_a < c_v$  și  $c_a > c_v$ .

Cazul  $c_a < c_v$ , adică adresa celulei-agresor este mai mică decât adresa celulei-victimă. Celula  $c_v$  este cea, în care se înscriu datele. În tactul patru al subiterației de test are loc salvarea datelor citite din  $c_v$  în analizorul de semnături 15. De aceea influența ca asupra  $c_v$  este înregistrată de analizorul 15.

Dacă datele se citesc din celula-victimă  $c_v$ , atunci tranziția incorectă (eronată) a celulei  $c_v$  va fi înregistrată de mecanismul  $\pi$ -testării la citirea datelor în primele două tacte de sincronizare ale subiterației de test.

Cazul  $c_a > c_v$ , adică adresa celulei-agresor este mai mare decât adresa celulei-victimă. Celula-victimă  $c_v$  este cea în care se înscriu datele. În primele două tacte de sincronizare ale subiterației de test din celula-agresor  $c_a$  vor fi citite date eronate, care vor aduce la o stare a bistabililor grupei 4 diferită de cea așteptată (calculată prealabil). Dacă datele se citesc din celula-victimă  $c_v$ , atunci tranziția eronată a celulei  $c_v$  va fi înregistrată cât de analizorul de semnături 15 atât și de mecanismul  $\pi$ -testării.

Astfel aplicarea dispozitivului propus permite efectuarea autotestării pseudoinelare cu analiza concomitentă de semnături a microcircuitelor de memorie operativă. Rezoluția testării în raport cu defectările cuplului celulelor de memorie este egal cu 100%, iar complexitatea algoritmului de autotestare, estimată pentru fiecare din cele 3 iterații de test, este de  $4N$  unități de tacte de sincronizare, unde  $N$ -capacitatea matricei memoriei operative.