



REPUBLICA MOLDOVA



(19) Agenția de Stat  
pentru Proprietatea Intelectuală

(11) 3870 (13) G2

(51) Int. Cl.: G11C 29/00 (2006.01)

(12) BREVET DE INVENȚIE

<p>(21) Nr. depozit: a 2007 0057 (22) Data depozit: 2007.03.06</p>	<p>(45) Data publicării hotărârii de acordare a brevetului: 2009.03.31, BOPI nr. 3/2009</p>
<p>(71) Solicitant: BODEAN Ghenadie, MD (72) Inventator: BODEAN Ghenadie, MD (73) Titular: BODEAN Ghenadie, MD</p>	

(54) Memorie operativă cu autotestare și analiză de semnături

(57) Rezumat:

1

Invenția se referă la domeniul tehnicii de calcul și microelectronică, și poate fi aplicată la producerea și exploatarea circuitelor supraintegrate cu mijloace incorporate de testare și diagnosticare.

Dispozitivul conține un registru de sincronizare (1), un contor (2), memorie operativă (3), un grup de bistabili (4.1, 4.2), o poartă logică XOR (5), o intrare de resetare (6), o intrare de sincronizare (7), un bistabil de reținere (8), cinci porți logice SAU (9, 10, 11, 12 și 13), un multiplexor (14), un analizor de semnături (15).

Revendicări 1

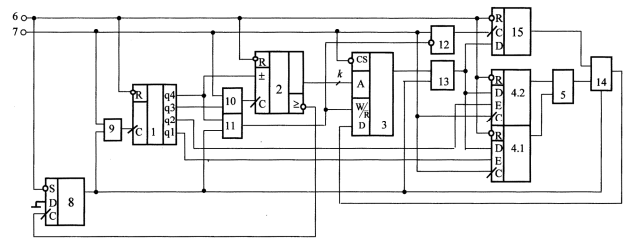
Figuri: 5

5

2

10

15



**Descriere:**

Invenția se referă la domeniul tehnicii de calcul și microelectronică, și poate fi aplicată la producerea și exploatarea circuitelor supraintegrate cu mijloace încorporate de testare și diagnosticare.

5 Este cunoscut un analizator de semnături care conține un registru de deplasare, o poartă logică XOR, la intrările căruia sunt conectate ieșirile pozițiilor registrului în corespundere cu structura polinomului  $p(x)$ , o intrare de date și o intrare de sincronizare [1].

10 Este cunoscută o metodă de testare, numită autotestare pseudoinelară sau  $\pi$ -testare a dispozitivelor de memorie operativă cu celule logice unipoziționale care constă în aceea că numărul semnalelor de test se alege egal cu cel al stărilor stabile diferite ale unei celule de memorie la începutul iterației de test, primul și al doilea semnale de test se înscriu corespunzător în primele două celule ale dispozitivului de capacitatea  $m$  ( $m$ -numărul de celule), apoi se repetă de  $m-2$  ori următoarele operații: se citește și se adună modulo doi (operația logică XOR) conținutul celulelor, în care se păstrează semnalele actuale de test, apoi al doilea semnal de test este interpretat în calitate de primul semnal de test, iar rezultatul adunării modulo doi este interpretat în calitate de al doilea semnal de test, se înscrie al doilea semnal de test în următoarea celulă a dispozitivului de memorie operativă; se compară combinația rezultantă de semnale de test cu cea de control și în caz de coincidență se efectuează iterațiile de test cu alte combinații inițiale nenule ale valorilor semnalelor de test până la prima necoinidență a combinației rezultante cu cea de control și în caz de necoinidență se decide că dispozitivul de memorie operativă este defectat [2].

Dezavantajul acestei metode constă în aceea că nu asigură detectarea defectărilor cuplului.

20 Mai este cunoscut un dispozitiv al memoriei operative cu autotestare, care conține un registru de sincronizare, un grup de trei contoare, o memorie operativă (RAM), un grup de bistabili, un element logic XOR, ieșirea căruia este conectată la intrarea de date a memoriei, o intrare este conectată la ieșirea bistabilului doi al grupului, iar cealaltă intrare – la ieșirea primului bistabil al grupului, intrarea de resetare a căruia este conectată la intrarea de resetare a bistabilului doi al grupului, la intrările de resetare ale contoarelor grupului, la intrarea de resetare a registrului de sincronizare și la intrarea de resetare a dispozitivului, intrarea de sincronizare este conectată la intrarea de sincronizare a bistabilului doi al grupului, la intrarea de selectare a memoriei, la intrarea de sincronizare a registrului de sincronizare și la intrarea de sincronizare a dispozitivului, intrarea de date este conectată la intrarea de date a bistabilului doi al grupului și la ieșirea de date a memoriei, intrările de adrese ale căreia sunt conectate, respectiv, la ieșirile informaționale ale contoarelor grupului, intrarea de citire-inscriere – la intrarea de permitere a contorului trei al grupului și la ieșirea a patra a registrului, ieșirea a treia a căruia este conectată la intrările de sincronizare ale contoarelor grupului, ieșirea a doua – la intrarea de permitere a contorului doi al grupului și la intrarea de permitere a bistabilului doi al grupului, prima ieșire – la intrarea de permitere a primului contor al grupului și la intrarea de permitere a primului bistabil al grupului [3].

Dezavantajul dispozitivului constă în nedetectarea defectărilor cuplului de celule adiacente.

Problema pe care o rezolvă invenția constă în mărirea rezoluției testării dispozitivelor de memorie operativă.

35 Memoria operativă conform invenției înlătură dezavantajele menționate mai sus prin aceea că conține un registru de sincronizare 1, un contor 2, intrarea de incrementare-decrementare a căruia este unită cu a patra ieșire a registrului de sincronizare 1, o memorie operativă 3, intrarea de adrese a căreia este unită cu ieșirea contorului 2, un grup de bistabili 4.1, 4.2, intrările de resetare ale bistabililor 4.1, 4.2 sunt conectate la intrarea de resetare a contorului 2, la intrarea de resetare a registrului de sincronizare 1 și la intrarea de resetare 6 a dispozitivului, intrările de sincronizare ale bistabililor 4.1, 4.2 sunt unite cu intrarea de selectare a memoriei operative 3 și cu intrarea de sincronizare 7 a dispozitivului, iar intrările de permitere a bistabililor 4.1, 4.2 sunt unite, respectiv, cu prima și a doua ieșiri ale registrului de sincronizare 1, mai conținând o poartă logică XOR 5, intrările căreia sunt conectate la ieșirile bistabililor 4.1, 4.2. Noutatea invenției constă în aceea că include suplimentar:

45 - un bistabil de reținere 8, intrarea de setare a căruia este conectată la intrarea de resetare 6 a dispozitivului, intrarea de date - la o sursă de semnal logic „0”, iar intrarea de sincronizare - la ieșirea de report a contorului 2;

- cinci porți logice SAU 9, 10, 11, 12, 13, primele intrări ale porților logice SAU 9, 10, 12 sunt conectate la intrarea de sincronizare 7 a dispozitivului; ieșirea porții logice SAU 9 este conectată la intrarea de sincronizare a registrului de sincronizare 1, a doua intrare a porții logice SAU 10 - la a treia ieșire a registrului de sincronizare 1, iar ieșirea ei - la intrarea de sincronizare a contorului 2; prima intrare a porții logice SAU 11 este conectată la a patra ieșire a registrului de sincronizare 1, iar ieșirea ei - la intrarea de inscriere-citire a memoriei operative 3 și la a doua intrare inversată a porții logice SAU 12; prima intrare a porții logice SAU 13 este conectată la ieșirea memoriei operative 3;

50 - un multiplexor 14, prima intrare a căruia este unită cu ieșirea porții logice XOR 5, ieșirea lui - cu intrarea de date a memoriei operative 3, iar intrarea de control a lui - cu ieșirea bistabilului de reținere 8 și cu intrările doi ale porților logice SAU 9, 11, 13;

55 - un analizor de semnături 15, intrarea de resetare a căruia este unită cu intrarea de resetare 6 a dispozitivului, intrarea de sincronizare - cu ieșirea porții logice SAU 12, intrarea de date - cu ieșirea porții logice SAU 13 și cu intrările de date ale bistabililor 4.1, 4.2, iar ieșirea - cu a doua intrare a multiplexorului 14.

60 Rezultatul invenției constă în autotestarea dispozitivului de memorie operativă cu rezoluția absolută de 100% pentru defectările cuplului. Acest rezultat se obține datorită faptului că o parte din defectări sunt detectate prin  $\pi$ -

## MD 3870 G2 2009.03.31

4

testare cu rezoluția  $R_{\pi} = \sum_{i=1}^{m+1} \frac{2^{m-i+1}}{2^{m+1} - 1}$ , iar restul defectărilor (care n-au fost detectate prin  $\pi$ -testare) sunt

detectate de analizorul de semnături cu rezoluția cunoscută și egală cu  $R_{SA}=1-2^{-n}$  per iritație, unde  $m$  este binaritatea registrului virtual în metoda de  $\pi$ -testare,  $n$  – binaritatea registrului analizatorului de semnături. Cu fiecare iterație numărul de defectări rămase se micșorează de  $2^m$  sau  $2^n$  ori, astfel încât la finele testării se atinge valoarea absolută de 100% a rezoluției.

5

Totodată, în fiecare iterație de  $\pi$ -testare și analiză de semnături există o submulțime de defectări detectate în comun.

Invenția se explică prin desenele din fig. 1...5, care reprezintă:

- 10 - fig. 1, schema de structură a dispozitivului propus;
- fig. 2, schema electrică a registrului de sincronizare;
- fig. 3, diagramele de timp de funcționare a dispozitivului;
- fig. 4, schema unui bistabil;
- fig. 5, diagrama stărilor analizorului de semnături.

15 Dispozitivul este compus din registrul de sincronizare 1, contor 2, memorie operativă 3, un grup de bistabili 4, o poartă logică XOR 5, intrările de resetare 6 și de sincronizare 7, bistabil de reținere 8, cinci porți logice SAU 9, 10, 11, 12 și 13, multiplexor 14, analizor de semnături 15 (vezi fig. 1).

Intrarea de sincronizare 7 este conectată cu intrarea de selectare a memoriei operative 3, cu intrările de sincronizare a bistabililor grupului 4, cu primele intrări ale porților logice SAU 9, 10 și 12, intrarea de resetare 6 este conectată cu intrările de resetare ale registrului 1, contorului 2, analizorului 15 și intrarea de setare a bistabilului 8, intrarea de date a căruia este conectată la sursa de logic „0”, intrarea de sincronizare – la ieșirea de report a contorului 2, iar ieșirea – cu intrarea de control a multiplexorului 14, cu a doua intrare a porții logice SAU 13, a porții logice SAU 11 și a porții logice SAU 9, ieșirea căreia este conectată cu intrarea de sincronizare a registrului 1, prima ieșire a căruia este conectată cu intrarea de permitere a primului bistabil 4.1 al grupului 4, a doua ieșire – cu intrarea de permitere a bistabilului doi 4.2 al grupului 4, a treia ieșire – cu a doua intrare a porții logice SAU 10 și a patra ieșire – cu prima ieșire a porții logice SAU 11 și cu intrarea de increment-decrement ( $\pm$ ) a contorului 2, intrarea de sincronizare a căruia este conectată cu ieșirea porții logice SAU 10, ieșirea de report – cu intrarea de sincronizare a bistabilului de reținere 8, iar ieșirea de date – cu intrarea de adrese a memoriei 3, intrarea de citire-înscrisoare a căreia este conectată cu ieșirea porții logice SAU 11 și cu intrarea a doua de inversare a porții logice SAU 12, ieșirea căreia este conectată cu intrarea de sincronizare a analizorului 15, ieșirea căruia este conectată cu a doua intrare (de date) a multiplexorului 14, prima intrare (de date) a căruia este conectată cu ieșirea porții XOR 5, iar ieșirea este conectată cu intrarea de date a memoriei 3, ieșirea căreia este conectată cu prima intrare a porții logice SAU 13, ieșirea căreia este conectată cu intrările de date a analizorului de semnături 15, a bistabililor grupului 4, ieșirile cărora sunt conectate la intrările porții logice XOR 5.

35 Registrul de sincronizare realizează deplasarea ciclică a unității logice (pe fondul zerourilor) și poate fi implementat, de exemplu, conform schemei prezentată în fig. 2 și conține patru bistabili: 1.1, 1.2, 1.3, 1.4, ieșirile cărora sunt ieșirile registrului 1, totodată, ieșirea bistabilului 1.4 este conectată cu intrarea de date a bistabilului 1.1, ieșirea căruia este conectată cu intrarea de date a bistabilului 1.2, ieșirea căruia este conectată cu intrarea de date a bistabilului 1.3, ieșirea căruia este conectată cu intrarea de date a bistabilului 1.4, intrarea de sincronizare a căruia este conectată cu intrările de sincronizare ale bistabililor 1.1, 1.2, 1.3 și cu intrarea de sincronizare a registrului 1, iar intrarea de resetare – cu intrările de resetare ale bistabililor 1.2 și 1.3, cu intrarea de setare a bistabilului 1.1 și cu intrarea de resetare a registrului 1.

În calitate de bistabilii 1.1, 1.2, 1.3, 1.4 și bistabilul de reținere 8 pot fi folosiți D-bistabilii din componența microcircuitului K1531TM2 (vezi: Нефедов А.В. Интегральные микросхемы ТТЛ.-М.: Аргус, 1999).

45 Contorul 2 este un dispozitiv cunoscut și poate fi construit pe baza microcircuitelor K1531 ИЕ17 (vezi: Нефедов А.В. Интегральные микросхемы ТТЛ.-М.: Аргус, 1999).

Memoria operativă 3 cu binaritatea celulelor de 1 bit este unitatea care se testează și reprezintă un microcircuit de memorie operativă (statică) cunoscut, de exemplu, microcircuitul K537PY14 (vezi: Микросхемы памяти, ЦАП и АЦП: Справочник / О.Н.Лебедев, А.-И.К.Марцинквичюс, Э.-А.К.Багданскис и др. – М.:КубК-а, 1996).

50 Bistabilii 4.1 și 4.2 ai grupului 4 salvează (înregistrează) datele de la ieșirea memoriei 3. Înregistrarea datelor are loc la tranziția semnalului de sincronizare C din „0” în „1” și a valorii de permitere log. „1” la intrarea de permitere E. Bistabilii grupului 4 pot fi implementați, de exemplu conform schemei prezentată în fig. 4. Un bistabil cu permitere conține o poartă logică SAU 16 și un bistabil 17, ieșirea căruia este ieșirea bistabilului cu permitere, intrările de resetare și de date – respectiv intrările de resetare și de date ale bistabilului de permitere, iar intrarea de sincronizare este conectată cu ieșirea porții logice SAU 16, intrarea directă a căreia este intrarea de sincronizare a bistabilului de permitere, iar cea inversă – intrarea de permitere a bistabilului de permitere.

55 În calitate de bistabilul 17 poate fi folosit D-bistabilul din componența microcircuitului K1531TM2 (vezi: Нефедов А.В. Интегральные микросхемы ТТЛ.-М.: Аргус, 1999); în calitate de porțile logice SAU 9, 10, 11, 12, 13 și 16 – porțile logice SAU din componența microcircuitului K1531 ЛЛ1 (vezi: Нефедов А.В. Интегральные микросхемы ТТЛ.-М.: Аргус, 1999); în calitate de invertor – invertorul din componența microcircuitului K1531

## MD 3870 G2 2009.03.31

5

ЛН1 (vezi: Нефедов А.В. Интегральные микросхемы ТТЛ.-М.: Аргус,1999); in calitate de multiplexorul 14 – multiplexorul cu două intrări din componența microcircuitului К 1531 КП1 (vezi: Нефедов А.В. Интегральные микросхемы ТТЛ.-М.: Аргус,1999).

5 Analizorul logic este un dispozitiv cunoscut și poate fi construit, de exemplu, conform diagramei, prezentate in fig. 8.2 din Ярмолик В.Н. Контроль и диагностика цифровых ЭВМ. Мн.: Наука и техника, 1988. Intrarea de resetare a analizorului este utilizată pentru setarea acestuia într-o stare inițială nenulă.

10 Registrul de sincronizare 1 este destinat pentru generarea semnalelor de control componentelor dispozitivului cu autotestare. Contorul 2 este destinat pentru generarea adreselor memoriei 3. Binaritatea contorului este egală cu binaritatea liniilor de adrese ale memoriei 3. Analizorul de semnături 15 este destinat pentru generarea stărilor inițiale ale celulelor matricei de memorie 3 și pentru înregistrarea (comprimarea) reacțiilor unității testate, adică a memoriei operative 3. Bistabilul 8 este destinat pentru menținerea semnalului de înscriere în starea activă, la intrarea memoriei 3 în perioada de inițializare a acesteia.

Dispozitivul funcționează în modul următor.

15 La conectarea sursei de alimentare, stările bistabililor, registrului, contorului și a celulelor de memorie pot fi arbitrare.

În momentul inițial de timp la intrarea de sincronizare 7 se setează nivelul logic „1” și la intrarea de resetare 6 – nivelul logic „0” (vezi fig. 3). Nivelul logic „0” al semnalului de resetare resetează contorul 2, bistabilii grupului 4 și bistabilii 1.2, 1.3, și 1.4, setează bistabilii 1.1, 8 și analizorul de semnături 15 în starea inițială *Init*, unde *Init*≠0. Semnalul logic „1” de la ieșirea bistabilului 8 închide porțile logice SAU 9 și 13, instalează log. „1” la ieșirea porții SAU 11 și la intrarea de citire-înscriere a memoriei 3; deschide (prin poarta SAU 11) poarta SAU 12, permițând trecerea semnalelor de sincronizare spre analizor 15, comutează a doua intrare a multiplexorului 14 la ieșirea acestuia.

Semnalul logic „0” la ieșirea 3 a registrului 1 ține poarta SAU 10 deschisă, ceea ce permite trecerea semnalelor de sincronizare spre contorul 2.

25 Astfel, dispozitivul de testare se instalează în starea inițială. Prin generarea impulsurilor de sincronizare la intrarea 7 (vezi fig.1) se trece la executarea  $\pi$ -testării memoriei 3.

$\pi$ -testarea constă din iterația de inițializare a celulelor matricei de memorie și iterațiile de test (vezi: MD 1240 G 1999.05.31).

30 Este cunoscut că structura analizorului de semnături urmează structura polinomului ireductibil  $p(x)$  (vezi: Ярмолик В.Н. Контроль и диагностика цифровых ЭВМ. Мн.: Наука и техника, 1998). Gradul polinomului deg  $p(x)$  se alege egal cu binaritatea magistralei de adrese a memoriei 3, adică  $k=\text{deg } p(x)$ . Atunci perioada polinomului  $p(x)$  va fi egală cu  $T=N-1$ , unde  $N=2^k$  este capacitatea matricei de memorie. În iterația de inițializare se execută  $N$  tacte de sincronizare. Biții (valorile logice „0” sau „1”) generați la ieșirea analizorului 15 se înscriu secvențial în celulele matricei de memorie 3 – semnalul de înscriere-citire al memoriei 3 este în starea „înscriere” (write) (vezi fig. 3).

De exemplu, dacă  $k=3$  și  $p(x) = 1+x+x^3$  și *Init* =  $\langle x_1 x_2 x_3 \rangle = \langle 100 \rangle$ , atunci succesiunea generală de analizor va fi cea care este prezentată în linia 8 coloana Out din fig. 5. Valorile logice sunt înscrise în celulele matricei de memorie cu adresele generate de contorul 2. Adresele urmează șirul natural 0, 1, ...,  $2^k-1$ .

40 După executarea a  $T$  tacte de sincronizare la ieșire de report a contorului 2 apare semnalul logic „0”, care la finele tactului trece în semnalul logic „1” (vezi fig. 3). Această tranziție resetează bistabilul 8 și, prin urmare, deschide porțile logice SAU 9, 11, 13 și comutează prima intrare la ieșirea multiplexorului 14.

Astfel dispozitivul de testare este pregătit pentru executarea iterațiilor de test.

45 Conform MD 1240 G 1999.05.31 se execută 3 iterații de test. Iterațiile de testare se execută secvențial (nonstop). Deoarece capacitatea matricei de memorie  $N$  este un număr par, iar perioada  $T$  – un număr impar, la începutul fiecărei iterații de testare, automatul virtual (al  $\pi$ -testării) va avea o stare inițială nouă (nenulă) diferită de stările precedente, ceea ce asigură condiția necesară a  $\pi$ -testării.

Iterația de testare constă din subiterații de test a câte patru tacte de sincronizare fiecare.

Subiterația de testare se execută în modul următor.

50 În primul tact de sincronizare semnalul logic „1” de la prima ieșire a registrului 1 de sincronizare permite înscrierea în primul bistabil 4.1 a valorii de la ieșirea memoriei 3; valoarea înscrisă (salvată) este conținutul celulei de memorie 3 cu adresa curentă, adică 0.

În tactul doi (contorul 2 s-a incrementat cu o unitate) unitatea logică s-a deplasat în poziția a doua a registrului 1, iar semnalul logic „1” de la ieșirea a doua a registrului 1 de sincronizare permite înscrierea în al doilea bistabil 4.2 a valorii de la ieșirea memoriei 3, care este citită din celula cu adresa curentă egală cu 1.

55 În tactul trei contorul 2 s-a incrementat cu o unitate (și a devenit egal cu 2), unitatea logică s-a deplasat în poziția a treia a registrului 1 și la ieșirea porții XOR 5 se formează rezultatul sumei modulo 2 a valorilor citite din celulele memoriei 3.

60 În tactul patru semnalul logic „1” de la ieșirea a patra a registrului 1 schimbă direcția contorului 2 spre decrementare, deschide poarta SAU 12 (trecând prin poarta SAU 11) și trece memoria 3 în starea de înscriere. La venirea frontului pozitiv al semnalului de sincronizare are loc salvarea în analizor 15 a datelor de la ieșirea memoriei 3, înscrierea valorii de la ieșirea porții XOR 5 în celula memoriei 3 la adresa indicată de contorul 2, adică

# MD 3870 G2 2009.03.31

6

la adresa 2, și decrementul cu o unitate a contorului 2 (starea curentă a contorului 2 devine egală cu 1). Prin aceasta se finalizează subiterația de test.

- 5 Subiterațiile de test se repetă de  $N$  ori, iar iterațiile de test, conform MD 1240 G 1999.05.31, - de 3 ori. La finele iterațiilor de test are loc citirea stărilor registrului analizorului de semnături 15 și a bistabililor grupei 4, care se compară cu cele așteptate. În caz de necoincidență se acceptă ipoteza că unitatea de testare, adică memoria operativă 3, este defectată.

Pentru a estima combinația de semnale așteptată, citită din bistabilii grupului 4, poate fi folosită următoarea formulă iterativă:

$$v(i+1)=v(i)A, i=0,\dots,T, \quad (1)$$

unde  $v=\langle x_1 \dots x_r \rangle$  reprezintă stările bistabililor respectivi în momentul  $i$ ; iar matricea caracteristică  $A$  este:

$$A_{r \times r} = \begin{bmatrix} g_1 & 1 & 0 & \dots & 0 \\ g_2 & 0 & 1 & \dots & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ g_r & 0 & 0 & \dots & 0 \end{bmatrix}, \quad (2)$$

- 10 unde  $g_1, g_2, \dots, g_r$  sunt coeficienții polinomului  $g(x)$  care descriu structura automatului virtual al  $\pi$ -testării.

*Notă:* operațiile din relația (1) se aplică asupra câmpului Galois GF conform matricei (2).

Conform MD 1240 G 1999.05.31 este suficient ca  $r=2$ , atunci  $g(x)=1+x+x^2$  și matricea (2) devine egală cu:

$$A_{2 \times 2} = \begin{bmatrix} 1 & 1 \\ 1 & 0 \end{bmatrix}.$$

- 15 În momentul  $i=0$  componentele vectorului  $v(0)$  sunt egale cu stările primelor  $r=2$  celule ale memoriei 3. În particular, pentru exemplul analizat, avem  $v(0)=\langle 0 \ 1 \rangle$  și

$$v(T) = v(0)A^T \quad (3)$$

sau

$$v(7) = \langle 0 \ 1 \rangle \begin{bmatrix} 1 & 1 \\ 1 & 0 \end{bmatrix}^7 = \langle 1 \ 1 \rangle. \quad (4)$$

Determinarea stării așteptate a analizorului 15 poate fi efectuată sau prin simularea dispozitivului de autotestare sau printr-un calcul complex.

- 20 În calculul semnăturii așteptate, în primul rând, este estimată semnătura după iterația de inițializare a memoriei operative și, apoi, semnăturile iterațiilor de test. Semnătura  $S$  iterației de inițializare este calculată conform formulei:

$$S(i+1)=S(i) \cdot B, i=0,\dots,T, \quad (5)$$

unde  $S=\langle x_1 \dots x_k \rangle$  reprezintă stările analizorului de semnături 15 în momentul  $i$ ,  $i=0, \dots, T$ , iar matricea caracteristică  $B$  este egală cu:

$$B_{k \times k} = \begin{bmatrix} p_1 & 1 & 0 & \dots & 0 \\ p_2 & 0 & 1 & \dots & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ p_k & 0 & 0 & \dots & 0 \end{bmatrix},$$

- 25 unde  $p_1, \dots, p_k$  sunt coeficienții ai polinomului  $p(x) = \sum_{i=0}^k p_i x^i$ .

Pentru calculul semnăturilor iterațiilor de test se va folosi varianta modificată a formulei (5), și anume:

$$S(i+1)=v^*(i)+S(i) \cdot B, i=r, \dots, T, \quad (6)$$

unde  $v^*_{1 \times k} = \langle d \ 0 \ \dots \ 0 \rangle$  este vectorul datelor  $d$  citite din memoria 3 în momentul  $i$ .

Valoarea  $d$  este prima componentă a vectorului  $v(i)$  din formula (1) în momentele  $i=r, \dots, T$ .

Pentru exemplul analizat cu  $p(x)=1+x+x^3$  avem matricea:

- 30 
$$B = \begin{bmatrix} 1 & 1 & 0 \\ 0 & 0 & 1 \\ 1 & 0 & 0 \end{bmatrix}.$$

## MD 3870 G2 2009.03.31

7

Acceptând că  $S(0) = \langle 1 \ 0 \ 0 \rangle$ , pentru cele  $N=2^3=8$  tacte de sincronizare, conform formulei (5) la finele iterației de inițializare avem următoarea valoare a semnăturii așteptate:

$$S(8) = S(0) \cdot B^8 = \langle 1 \ 0 \ 0 \rangle \begin{bmatrix} 1 & 1 & 0 \\ 0 & 0 & 1 \\ 1 & 0 & 0 \end{bmatrix}^8 = \langle 0 \ 1 \ 0 \rangle.$$

5

Pentru prima iterație de test I, pentru care  $v_1(0) = \langle 0 \ 1 \rangle$ , la ieșirea memoriei 3 sunt așteptate valorile logice  $D = [1, 0, 1, 1, 0, 1]$ , respectiv, în momentele de timp  $i=2, \dots, 8$ . Valoarea așteptată a semnăturii pentru acest șir de biți va fi calculată după formula (6). Luând în considerație rezultatul (7), obținem:

$$S_I(i) = \langle d_i \ 0 \rangle + \langle 0 \ 1 \ 0 \rangle \begin{bmatrix} 1 & 1 & 0 \\ 0 & 0 & 1 \\ 1 & 0 & 0 \end{bmatrix}^{i-1}, \quad i=2, \dots, 8, \quad (8)$$

10 unde  $d_i$  ia valori din șirul  $D_I$ . Aplicând relația (8) pentru prima iterație de test avem următoarea semnătură  $S_I$  așteptată:

$$S_I = \langle 1 \ 1 \ 1 \rangle.$$

În mod analog se va calcula valoarea așteptată a semnăturii la finele iterației a doua de test II. Avem:

$$v_{II}(0) = \langle 1 \ 0 \rangle, \quad D_{II} = [1, 1, 0, 1, 1, 0] \text{ și } S_{II}(i) = \langle d_i \ 0 \rangle + S_I \cdot B^{i+1},$$

unde  $d_i$  ia valori din  $D_{II}$ ,  $i=2, \dots, 8$ . În rezultatul calculelor se obține:

15

$$S_{II} = \langle 0 \ 0 \ 0 \rangle.$$

Pentru calculul semnăturii iterației trei de test III, datele inițiale sunt:

$$v_{III}(0) = \langle 1 \ 1 \rangle, \quad D_{III} = [0, 1, 1, 0, 1, 1] \text{ și } S_{III}(i) = \langle d_i \ 0 \rangle + S_{II} \cdot B^{i+1},$$

unde  $d_i$  ia valori din  $D_{III}$ ,  $i=2, \dots, 8$ . Avem semnătura:

$$S_{III} = \langle 1 \ 0 \ 0 \rangle.$$

20

Să analizăm modul de detectare a defectărilor (de interinfluență) cuplului celulelor (adiacente) de memorie  $c_a$  și  $c_v$ , unde  $c_a$  este adresa celulei agresor, iar  $c_v$  - adresa celulei victimă. Defectarea cuplului este definită (specificată) prin tranziția (saltul) stării celulei  $c_v$  la executarea operației de citire sau înscriere asupra celulei  $c_a$ . Sunt două cazuri:  $c_a < c_v$  și  $c_a > c_v$ .

25

Cazul  $c_a < c_v$ , adică adresa celulei agresor este mai mică decât adresa celulei victimă. Celula  $c_v$  este cea în care se înscriu datele. În tactul patru al subiterației de test are loc salvarea datelor citite din  $c_v$  în analizorul de semnături 15. De aceea influența  $c_a$  asupra  $c_v$  este înregistrată de analizor 15.

Dacă datele se citesc din celula victimă  $c_v$ , atunci tranziția eronată a celulei  $c_v$  va fi înregistrată de mecanismul  $\pi$ -testării la citirea datelor în primele două tacte de sincronizare ale subiterației de test.

30

Cazul  $c_a > c_v$ , adică adresa celulei agresor este mai mare decât adresa celulei victimă. Celula victimă  $c_v$  este cea în care se înscriu datele. În primele două tacte de sincronizare ale subiterației de test din celula agresor  $c_a$  vor fi citite date eronate, care vor aduce la o stare a bistabililor grupului 4 diferită de cea așteptată (calculată prealabil). Dacă datele se citesc din celula victimă  $c_v$ , atunci tranziția eronată a celulei  $c_v$  va fi înregistrată atât de analizorul de semnături 15, cât și de mecanismul  $\pi$ -testării.

35

Așadar, aplicarea dispozitivului propus permite efectuarea autotestării pseudoinelare cu analiza concomitentă de semnături a microcircuitelor de memorie operativă. Rezoluția testării în raport cu defectările cuplului celulelor de memorie este egal cu 100%, iar complexitatea algoritmului de autotestare, estimată pentru fiecare din cele 3 iterații de test, este de  $4N$  unități de tacte de sincronizare, unde  $N$  este capacitatea matricei memoriei operative.

# MD 3870 G2 2009.03.31

8

## (57) Revendicări:

Memorie operativă cu autotestare și analiză de semnături, care conține un registru de sincronizare (1), un contor (2), intrarea de incrementare-decrementare a căruia este unită cu a patra ieșire a registrului de sincronizare (1), o memorie operativă (3), intrarea de adrese a căreia este unită cu ieșirea contorului (2), un grup de bistabili (4.1, 4.2), intrările de resetare ale bistabililor (4.1, 4.2) sunt conectate la intrarea de resetare a contorului (2), la intrarea de resetare a registrului de sincronizare (1) și la intrarea de resetare (6) a dispozitivului, intrările de sincronizare ale bistabililor (4.1, 4.2) sunt unite cu intrarea de selectare a memoriei operative (3) și cu intrarea de sincronizare (7) a dispozitivului, iar intrările de permitere a bistabililor (4.1, 4.2) sunt unite, respectiv, cu prima și a doua ieșiri ale registrului de sincronizare (1), mai conținând o poartă logică XOR (5), intrările căreia sunt conectate la ieșirile bistabililor (4.1, 4.2), **caracterizată prin aceea că** include suplimentar:

- un bistabil de reținere (8), intrarea de setare a căruia este conectată la intrarea de resetare (6) a dispozitivului, intrarea de date - la o sursă de semnal logic „0”, iar intrarea de sincronizare - la ieșirea de report a contorului (2);
- cinci porți logice SAU (9, 10, 11, 12, 13), primele intrări ale porților logice SAU (9, 10, 12) sunt conectate la intrarea de sincronizare (7) a dispozitivului; ieșirea porții logice SAU (9) este conectată la intrarea de sincronizare a registrului de sincronizare (1), a doua intrare a porții logice SAU (10) - la a treia ieșire a registrului de sincronizare (1), iar ieșirea ei - la intrarea de sincronizare a contorului (2); prima intrare a porții logice SAU (11) este conectată la a patra ieșire a registrului de sincronizare (1), iar ieșirea ei - la intrarea de inscriere-citire a memoriei operative (3) și la a doua intrare inversată a porții logice SAU (12); prima intrare a porții logice SAU (13) este conectată la ieșirea memoriei operative (3);
- un multiplexor (14), prima intrare a căruia este unită cu ieșirea porții logice XOR (5), ieșirea lui - cu intrarea de date a memoriei operative (3), iar intrarea de control a lui - cu ieșirea bistabilului de reținere (8) și cu intrările doi ale porților logice SAU (9, 11, 13);
- un analizor de semnături (15), intrarea de resetare a căruia este unită cu intrarea de resetare (6) a dispozitivului, intrarea de sincronizare - cu ieșirea porții logice SAU (12), intrarea de date - cu ieșirea porții logice SAU (13) și cu intrările de date ale bistabililor (4.1, 4.2), iar ieșirea - cu a doua intrare a multiplexorului (14).

30

## (56) Referințe bibliografice:

1. В.Н. Ярмолик. Контроль и диагностика цифровых ЭВМ. Минск, Наука и техника, 1998
2. MD 1240 G 1999.05.31
3. I. Klistorin, Gh. Bodean, O. Didenco. Defectările multiple RAM și implementarea metodei de testare pseudoinelară. Acta Academia, 1997, p. 264

**Director Departament:**

JOVMIR Tudor

**Examinator:**

SĂU Tatiana

**Redactor:**

UNGUREANU Mihail

# MD 3870 G2 2009.03.31

9

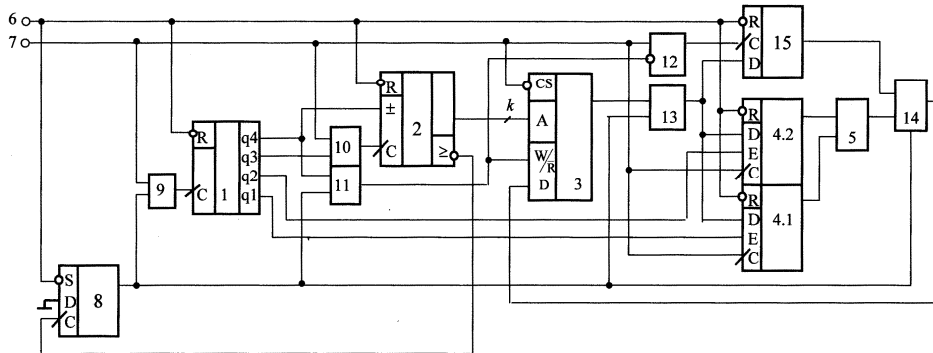


Fig. 1

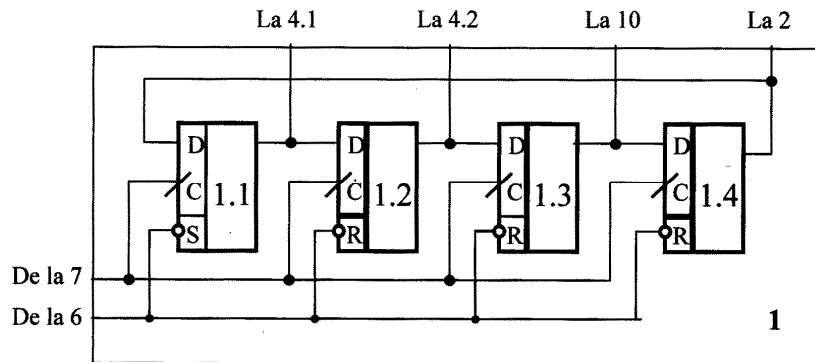


Fig. 2



# MD 3870 G2 2009.03.31

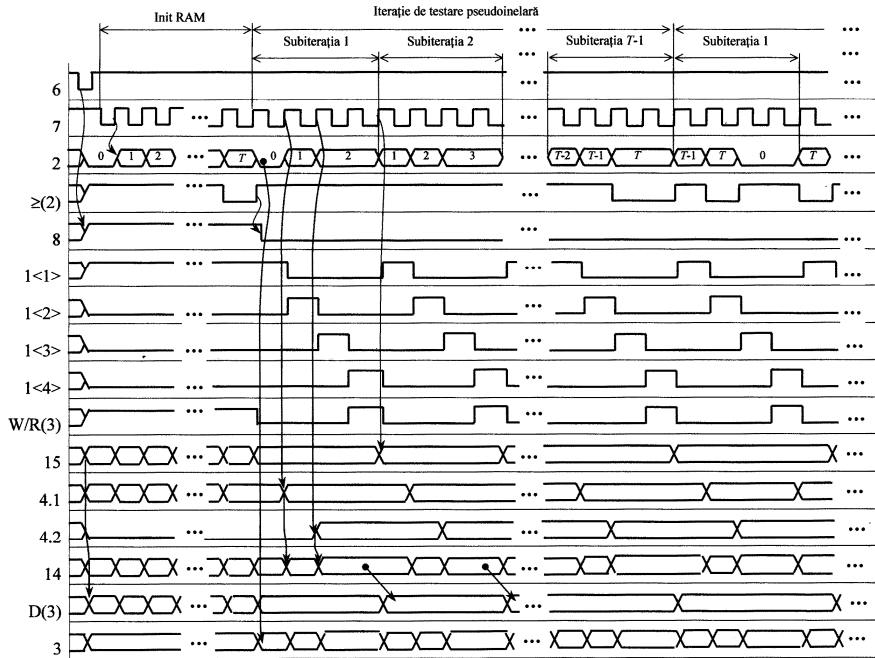


Fig. 3

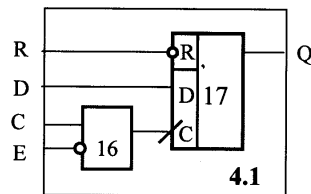


Fig. 4

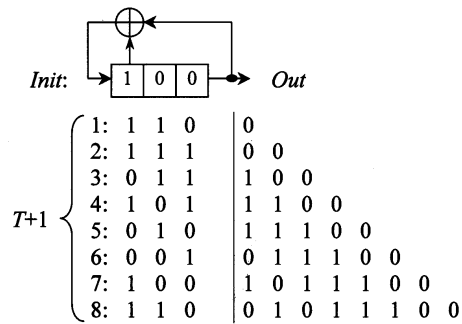


Fig. 5