

Memorie operativă cu autotestare și analiză de semnături, care conține un registru de sincronizare (1), un contor (2), intrarea de incrementare-decrementare a căruia este unită cu a patra ieșire a registrului de sincronizare (1), o memorie operativă (3), intrarea de adrese a căreia este unită cu ieșirea contorului (2), un grup de bistabili (4.1, 4.2), intrările de resetare ale bistabililor (4.1, 4.2) sunt conectate la intrarea de resetare a contorului (2), la intrarea de resetare a registrului de sincronizare (1) și la intrarea de resetare (6) a dispozitivului, intrările de sincronizare ale bistabililor (4.1, 4.2) sunt unite cu intrarea de selectare a memoriei operative (3) și cu intrarea de sincronizare (7) a dispozitivului, iar intrările de permitere a bistabililor (4.1, 4.2) sunt unite, respectiv, cu prima și a doua ieșiri ale registrului de sincronizare (1), mai conținând o poartă logică XOR (5), intrările căreia sunt conectate la ieșirile bistabililor (4.1, 4.2), caracterizată prin aceea că include suplimentar:

- un bistabil de reținere (8), intrarea de setare a căruia este conectată la intrarea de resetare (6) a dispozitivului, intrarea de date - la o sursă de semnal logic „0”, iar intrarea de sincronizare - la ieșirea de report a contorului (2);

- cinci porți logice SAU (9, 10, 11, 12, 13), primele intrări ale porților logice SAU (9, 10, 12) sunt conectate la intrarea de sincronizare (7) a dispozitivului; ieșirea porții logice SAU (9) este conectată la intrarea de sincronizare a registrului de sincronizare (1), a doua intrare a porții logice SAU (10) - la a treia ieșire a registrului de sincronizare (1), iar ieșirea ei - la intrarea de sincronizare a contorului (2); prima intrare a porții logice SAU (11) este conectată la a patra ieșire a registrului de sincronizare (1), iar ieșirea ei - la intrarea de înscriere-citire a memoriei operative (3) și la a doua intrare inversată a porții logice SAU (12); prima intrare a porții logice SAU (13) este conectată la ieșirea memoriei operative (3);

- un multiplexor (14), prima intrare a căruia este unită cu ieșirea porții logice XOR (5), ieșirea lui - cu intrarea de date a memoriei operative (3), iar intrarea de control a lui - cu ieșirea bistabilului de reținere (8) și cu intrările doi ale porților logice SAU (9, 11, 13);

- un analizor de semnături (15), intrarea de resetare a căruia este unită cu intrarea de resetare (6) a dispozitivului, intrarea de sincronizare - cu ieșirea porții logice SAU (12), intrarea de date - cu ieșirea porții logice SAU (13) și cu intrările de date ale bistabililor (4.1, 4.2), iar ieșirea - cu a doua intrare a multiplexorului (14).